

OPTICAL OUTPUT CONTROL CIRCUIT

Patent number: JP2000244053
Publication date: 2000-09-08
Inventor: INOUE TADAO; IKEUCHI AKIRA; MUTSUKAWA HIROYUKI; KAWAI MASAACKI; UENO NORIO; MURAKAMI NORIO; MATSUYAMA SATORU; MIKI MAKOTO; TAKAUJI TOSHIYUKI
Applicant: FUJITSU LTD
Classification:
 - international: **H01S5/068; H01S5/0683; H01S5/00;** (IPC1-7): H01S5/0683; H01L33/00
 - european: H01S5/068S; H01S5/0683
Application number: JP19990042178 19990219
Priority number(s): JP19990042178 19990219

Also published as:

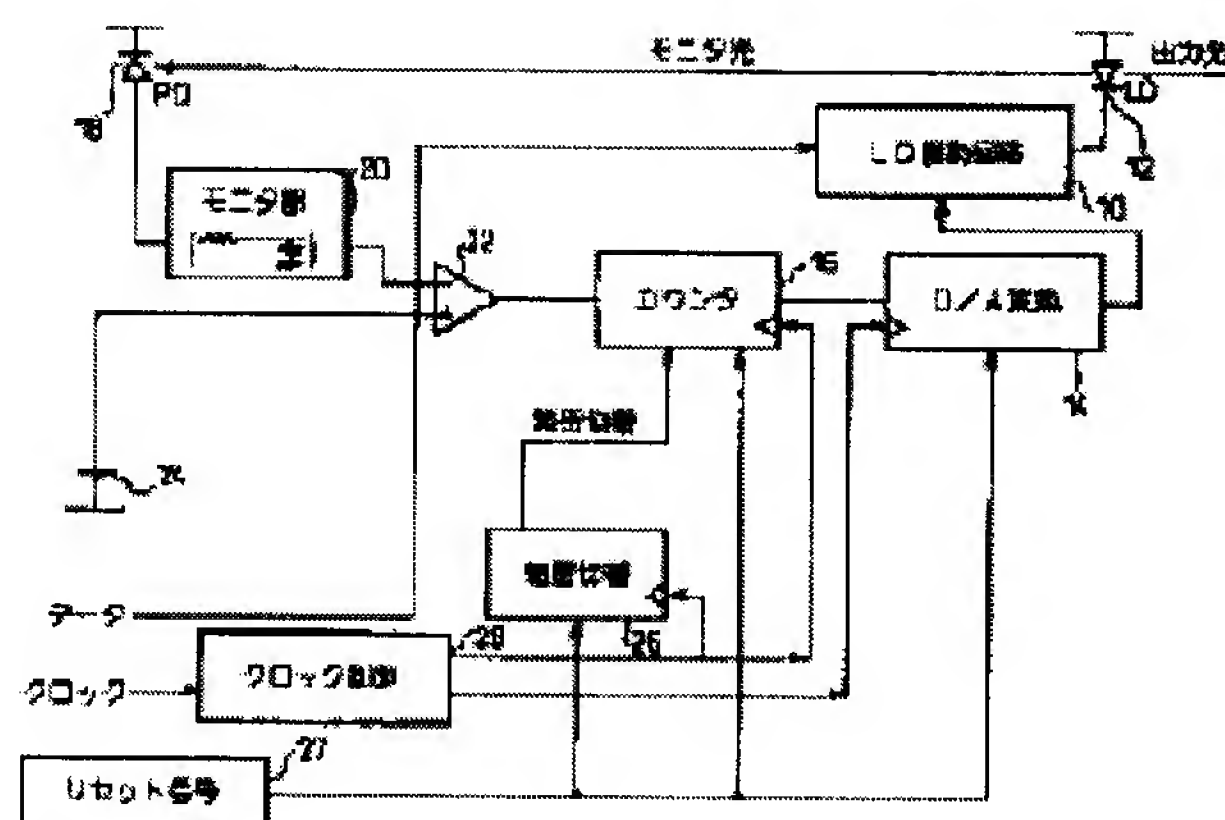
EP1030417 (A2)
 US6975813 (B1)
 US2006024068 (A1)
 EP1030417 (A3)
 EP1030417 (B1)

more >>

[Report a data error here](#)

Abstract of JP2000244053

PROBLEM TO BE SOLVED: To shorten the rising time of operation by performing rising mode control through an optical output controller until the number of controlling times reached a predetermined value after starting control and performing safety mode control through the optical output controller upon reaching the predetermined value. **SOLUTION:** Coarse/fine operation of a counter 16 is controlled by a signal from a coarse/fine switching circuit 26 which is controlled by a clock and a reset signal 27. The coarse operation mode is finished after the count of a counter in the coarse/fine switching circuit 26 reaches 32 and then the output from the circuit 26 goes Low to cause a switching to fine operation mode. In the fine operation mode, the counter 16 changes by a minimum unit at a time and the drive current is varied and eventually settled. After a target value is reached, the current reciprocates between two values closest to the target value. The number of times for updating the counter 16 is 32 or less after the fine operation mode is entered before the final value is settled.



Data supplied from the **esp@cenet** database - Worldwide

(51)Int.Cl.⁷
H 0 1 S 5/0683
H 0 1 L 33/00

識別記号

F I
H 0 1 S 3/18
H 0 1 L 33/00

テームト* (参考)
6 3 7 5 F 0 4 1
J 5 F 0 7 3

審査請求 未請求 請求項の数19 O L （全 50 頁）

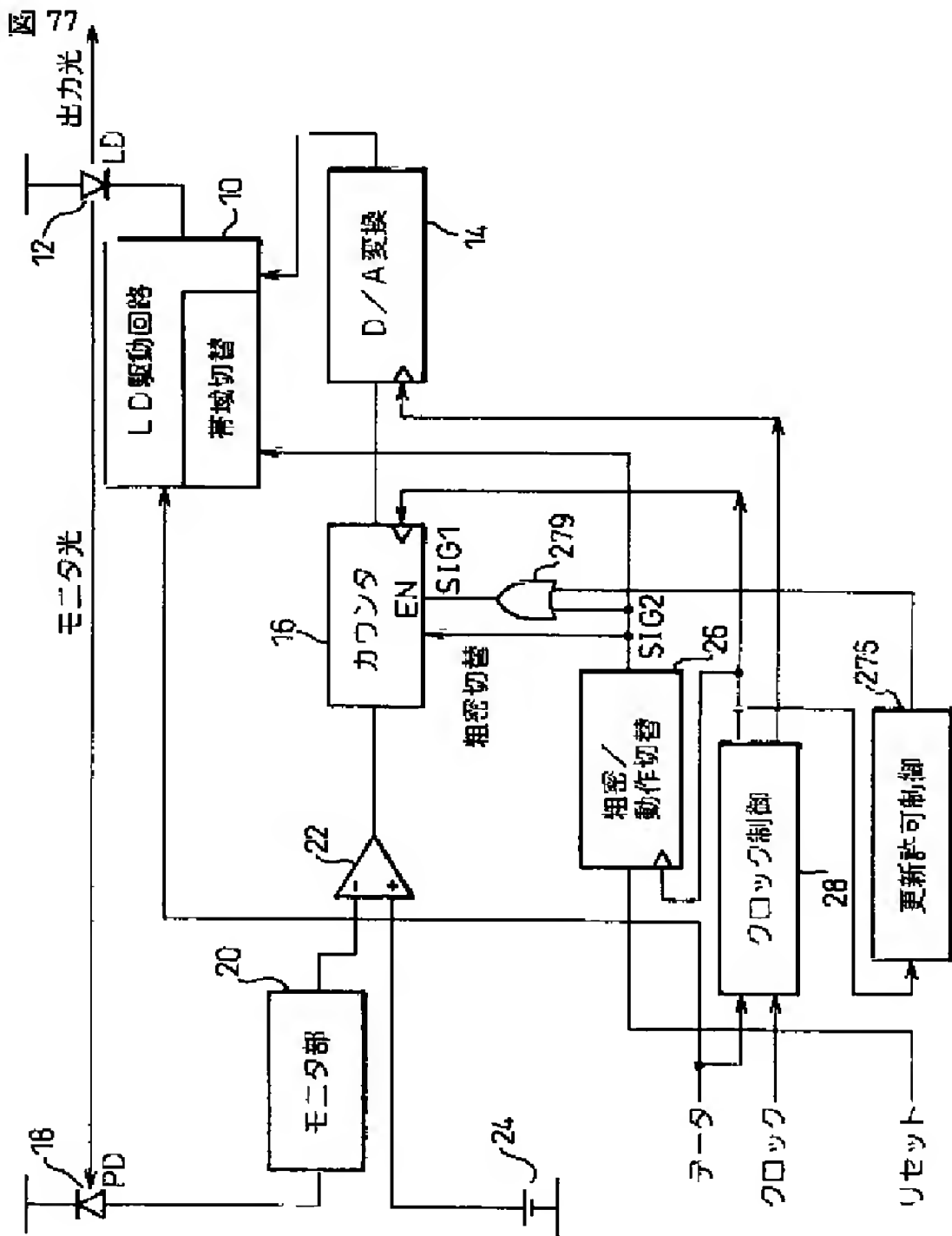
(21)出願番号	特願平11-42178	(71)出願人	000003223 富士通株式会社 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
(22)出願日	平成11年 2 月19日(1999. 2. 19)	(72)発明者	井上 忠夫 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
		(72)発明者	池内 公 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
		(74)代理人	10007/517 弁理士 石田 敬 （外 4 名）
		最終頁に続く	

(54) 【発明の名称】 光出力制御回路

(57) 【要約】

【課題】 光出力制御回路の起動時の立ち上げ時間を短かくし、安定後の微少変動を少なくする。

【解決手段】 粗密／動作切替回路 2 6 からの切替信号により、起動時のカウンタ 1 6 の制御値の変化幅を大きくし、安定時の変化幅を小さくする。安定時には、更新許可制御回路 2 7 6 からの制御信号により、更新の頻度を抑制する。安定時には、L D 駆動回路 1 0 の電流源の周波数帯域を狭くする。



【特許請求の範囲】

【請求項1】 発光素子の光出力を検出する光検出器と、
光出力の検出値を基準値と比較する比較器と、
比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、
光出力制御器における制御の回数をカウントし、制御開始後の制御回数が所定値に達するまでは光出力制御器に立ち上げモードの制御を行なわせ、制御回数が所定値に達した後は光出力制御器に安定モードの制御を行なわせる切替回路とを具備する光出力制御回路。

【請求項2】 発光素子に与えられるデータを検出し検出結果に応じたクロックを生成して光出力制御器および切替回路に制御のタイミングを示すタイミング信号として与えるクロック制御回路をさらに具備する請求項1記載の光出力制御回路。

【請求項3】 切替回路は、立ち上げモードにおいて、光出力制御器の1回の制御における制御値の変化量を第1の変化量に設定し、安定モードにおいて、光出力制御器の1回の制御における制御値の変化量を第1の変化量よりも小さい第2の変化量に設定する請求項2記載の光出力制御回路。

【請求項4】 切替回路は、立ち上げモードにおいて、第1の変化量を複数の段階にわたって段階的に小さくする請求項3記載の光出力制御回路。

【請求項5】 第1の変化量は2分法に従って小さくなる請求項4記載の光出力制御回路。

【請求項6】 安定モードにおいて、所定の周期で光出力制御器に制御値の更新を許可する更新許可制御回路をさらに具備する請求項5記載の光出力制御回路。

【請求項7】 安定モードにおける発光素子の駆動電流の周波数帯域幅は立ち上げモードにおける周波数帯域幅よりも狭く設定される請求項6記載の光出力制御回路。

【請求項8】 発光素子の光出力を検出する光検出器と、
光出力の検出値を基準値と比較する比較器と、
比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、
制御開始後光出力の検出値が所定の幅のウィンドウに入るまでは光出力制御器に立ち上げモードの制御を行なわせ、ウィンドウに入った後は光出力制御器に安定モードの動作を行なわせる切替回路とを具備する光出力制御回路。

【請求項9】 前記ウィンドウの幅は温度に依存して変化する請求項8記載の光出力制御回路。

【請求項10】 発光素子の光出力を検出する光検出器と、
光出力の検出値を基準値と比較する比較器と、
比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、

制御開始後光出力制御器の制御の履歴が所定のパターンに一致するまでは光出力制御器に立ち上げモードの動作を行なわせ、所定のパターンに一致した後は光出力制御器に安定モードの動作を行なわせる切替回路とを具備する光出力制御回路。

【請求項11】 発光素子の光出力を検出する光検出器と、
光出力の検出値を基準値と比較する比較器と、
比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、
発光素子に与えられるデータを検出し、検出結果に応じたクロックを発生して光出力制御器に制御のタイミングを示すタイミング信号として与えるクロック制御回路とを具備する光出力制御回路。

【請求項12】 前記クロック制御回路は、
発光素子に与えられるデータを検出するデータ検出回路と、
カウント値を示す複数のビット出力の1つを前記タイミング信号として出力し、カウント値のキャリーまたはボローが発生するとカウントを停止するカウンタと、
カウンタのキャリーまたはボローが発生していて、かつ、データ検出回路がデータを検出しているとき、カウンタに所定の値をロードするロード信号をカウンタに与えるゲート回路とを含む請求項11記載の光出力制御回路。

【請求項13】 発光素子の光出力を検出する光検出器と、
光出力の検出値を基準値と比較する比較器と、
比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、
光出力が安定した後において、光出力の制御値の更新がされた後、所定の条件が満たされるまで更新を制限する更新許可制御回路とを具備する光出力制御回路。

【請求項14】 更新許可制御回路は、光出力の制御値の更新がされた後、所定の時間が経過した後に次の更新を許可する請求項13記載の光出力制御回路。

【請求項15】 更新許可制御回路は、光出力の制御値の更新がされた後、発光素子にデータが所定回数与えられた後に次の更新を許可する請求項13記載の光出力制御回路。

【請求項16】 更新許可制御回路は、比較器の出力が制御値を増加すべきことを指示した回数と制御値を減少すべきことを指示した回数との差が所定値に達したとき制御値の更新を許可する請求項13記載の光出力制御回路。

【請求項17】 更新許可制御回路は、比較器の出力が制御値を増加すべきことを指示した回数または減少すべきことを指示した回数が所定値に達したとき制御値の更新を許可する請求項13記載の光出力制御回路。

【請求項18】 更新許可制御回路は、バーストの伝送

を示す信号に応じて更新を許可する請求項13記載の光出力制御回路。

【請求項19】 発光素子の光出力を検出する光検出器と、
光出力の検出値を基準値と比較する比較器と、
比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器とを具備し、
光出力が安定した後において、発光素子の駆動電流の周波数帯域幅が狭められる光出力制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光通信などにおいて用いられる半導体レーザ（レーザ・ダイオード：LD）、発光ダイオード（LED）等の発光素子の光出力を制御する光出力制御回路に関する。

【0002】

【従来の技術】一般に、光伝送装置など発光素子を用いる装置では、光出力を所定の値に制御することが要求される。一方、LDなどの発光素子の発光効率には、大きな温度依存性があり、また、経年変化によって効率が変わる。従って、あらゆる条件で光出力を一定に制御するには、発光素子に流す電流値を適切な値に制御する必要がある。従来から、発光素子の光出力を定値制御するために、負帰還制御が行われている。従来の発光素子の光出力を制御する光出力制御回路を図1に示す。以下、この回路の動作を述べる。

【0003】LD駆動回路10においてデータに従って変調された駆動電流が発光素子12に供給される。この駆動電流のピーク値（以降、駆動電流値と呼ぶ）はD/A変換回路14に入力されるデジタル値に比例した値として制御される。このデジタル値は、前段のカウナ16から与えられる。すなわち、カウンタ値に比例した駆動電流値が得られる。

【0004】発光素子（LD）の光量に比例したモニタ電流をフォトダイオード（PD）18で得、次に、モニタ電流値をモニタ部20において電圧値に変換してそのピーク値を保持する。比較器22においてモニタ部20の出力を基準値（電圧）24と比較し、比較した結果により、カウンタ16のカウント値を操作する。すなわち、基準値より小さければ、カウンタの値を1増やして、駆動電流値を増やし、基準値より大きければ、カウンタの値を1減らして、駆動電流値を減らす。以上の動作により、光出力は負帰還制御によって基準値に対して定値制御されていた。

【0005】このときに、駆動電流値は、D/A変換回路14の最小桁（LSB）で決められる分解能で決まる精度で制御される。例えば、10ビットのD/A変換回路を使用した場合、 $2^{10}=1024$ の分解能が得られる。この回路で、出力電流の範囲を10～100mAの範囲で制御する場合、1LSBあたり0.1mAに相当する

ようにLD駆動回路10内のカレントミラー回路を設計し、デジタル値における100～1000を駆動電流10～100mAに対応させる。この場合、駆動電流の最小値10mAにおいて、LSBあたりの電流0.1mAは1%に相当することから、本回路は駆動電流を1%程度（光出力も比例）の高精度な制御が可能となる。従来では、以上のような回路で高精度な制御が可能であった。

【0006】

【発明が解決しようとする課題】従来の光出力制御回路の課題は、所望の光出力に到達するまでに、時間がかかる、すなわち、立ち上げ時間が長いということである。図2は、従来の光出力制御回路の動作特性を示す。横軸は時間、縦軸は駆動電流値である。起動時には、カウンタ回路の値はリセットされている。前述のフィードバックが起動されると、モニタ部20の出力と基準値24を比較した結果によって、カウンタの値が1ずつ加減して更新され、これに伴って駆動電流値も更新され、駆動電流はステップ状に変わってゆく。このとき、駆動電流値は、D/A変換回路の最小桁（LSB）に相当する電流に比例したステップ0.1mAで変化する。駆動電流値が目標値に到達すると、目標値をはさんだ2つの電流値の間で往復して、この範囲で安定な光出力値が得られる。

【0007】この従来技術では、起動から目標に到達するまでには、到達するデジタル値を1ずつ上げる、または、下げることになるため、目標値と起動時の電流値（デジタル値）の差が大きい場合には、立ち上がるまでに、多数のステップ数が必要で、立ち上がり時間が長くなる。近年、実用化段階に入った、アクセス系光通信では、加入者と局間の伝送方式として、データをセルごとに分けて、断続的に送るバースト伝送方式が必要とされている。図3に、従来技術の課題として、光出力制御回路を、バースト伝送に適用した場合の動作を示す。図2と同様に、横軸は時間、縦軸は駆動電流値である。

【0008】バースト伝送装置を起動する際に、光出力を目標値までに立ち上げるまでに許される時間としては、初期起動用セルの数 μs のごく短い時間しか許されない。そのため、従来の光出力制御回路をバースト伝送に使おうとすると、起動用セルの期間だけでは立ち上げが終わらずに、通常の通信用のセルの出力までに光出力を安定化できないため、使用できない。

【0009】例えば、10ビットのD/A変換回路を用いて、カウンタの初期値0から動作させて、駆動電流のMAX値の100mAを得るまでの場合、安定化するまで、カウンタを最悪で1024回更新する必要がある。このように、従来の技術では、立ち上げ時間が長くなるため、バースト伝送では使用できないという課題があった。

【0010】また、連続伝送においても、立ち上げ時間の間はデータの送信ができない。光モジュール送信部の立ち上げ時間が長いと、システム全体の立ち上げが遅く

なる、という問題があった。あるいはシステムの時間的マージンを制限している、立ち上げを遅くしている、という問題があった。図1の従来技術をバースト伝送に適用した場合の別の問題点として、セルが存在しないときの制御の問題がある。図1の従来技術では、カウンタ16の制御は信号の有無にかかわらず常時行なわれるので、セルの存在しないときでも安定した制御を維持するためにはモニタ部20の時定数を充分長くする必要がある。しかしながら、時定数が長くなると、応答が遅くなるという問題がある。

【0011】図1の従来技術のさらに別の問題点として、制御が安定した後の微小変動の問題がある。図2に示されるように、従来の光出力制御回路では、光出力制御回路の立ち上げが完了して、安定化した後には、光出力値は基準値をはさむ2値の間を頻繁に往復する。通常は、この2つの値間の変動があっても光出力が規定の範囲内に納まるように設計されるが、光出力値が必要のない変化を繰り返す。

【0012】特にバースト伝送においては、光出力が安定するまでの時間を短くする必要があり、そのためには、フィードバックを回す速度を上げる必要があるが、常に高速でフィードバックを行うと、必要のない更新を繰り返すことになる。この問題は、光信号を受信する側にとっては、エラーレート増加の要因となる。また、従来の光出力制御回路において、光出力制御回路が光出力値を更新する際に、D/A変換回路14に入力されるデジタルコードが変わるが、このとき、グリッチと呼ばれるスパイクが発生する。これが駆動電流に現れ、波形歪みを引き起こす。この問題も、光信号を受信する側にとっては、エラーレート増加の要因となる。

【0013】したがって本発明の第1の目的は、起動時の立ち上げ時間が短い光出力制御回路を提供することにある。本発明の第2の目的は、バースト伝送に適した光出力制御回路を提供することにある。本発明の第3の目的は、光出力が安定した後の微小変動が少ない光出力制御回路を提供することにある。

【0014】本発明の第4の目的は、D/A変換によるグリッチの影響の少ない光出力制御回路を提供することにある。

【0015】

【課題を解決するための手段】前述の第1の目的は、発光素子の光出力を検出する光検出器と、光出力の検出値を基準値と比較する比較器と、比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、光出力制御器における制御の回数をカウントし制御開始後の制御回数が所定値に達するまでは光出力制御器に立ち上げモードの制御を行なわせ制御回数が所定値に達した後は光出力制御器に安定モードの制御を行なわせる切替回路とを具備する光出力制御回路によって達成される。

【0016】前述の第1の目的は、発光素子の光出力を検出する光検出器と、光出力の検出値を基準値と比較する比較器と、比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、制御開始後光出力の検出値が所定の幅のウィンドウに入るまでは光出力制御器に立ち上げモードの制御を行なわせウィンドウに入った後は光出力制御器に安定モードの動作を行なわせる切替回路とを具備する光出力制御回路によっても達成される。

【0017】前述の第1の目的は、発光素子の光出力を検出する光検出器と、光出力の検出値を基準値と比較する比較器と、比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、制御開始後光出力制御器の制御の履歴が所定のパターンに一致するまでは光出力制御器に立ち上げモードの動作を行なわせ所定のパターンに一致した後は光出力制御器に安定モードの動作を行なわせる切替回路とを具備する光出力制御回路によっても達成される。

【0018】前述の第2の目的は、発光素子の光出力を検出する光検出器と、光出力の検出値を基準値と比較する比較器と、比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、発光素子に与えられるデータを検出し検出結果に応じたクロックを発生して光出力制御器に制御のタイミングを示すタイミング信号として与えるクロック制御回路とを具備する光出力制御回路によって達成される。

【0019】前述の第3の目的は、発光素子の光出力を検出する光検出器と、光出力の検出値を基準値と比較する比較器と、比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器と、光出力が安定した後において、光出力の制御値の更新がされた後、所定の条件が満たされるまで更新を制限する更新許可制御回路とを具備する光出力制御回路によって達成される。

【0020】前述の第4の目的は、発光素子の光出力を検出する光検出器と、光出力の検出値を基準値と比較する比較器と、比較器の比較結果に応じて発光素子の光出力を離散的に制御する光出力制御器とを具備し、光出力が安定した後において発光素子の駆動電流の周波数帯域幅が狭められる光出力制御回路によって達成される。

【0021】

【発明の実施の形態】図4に本発明の第1の実施例を示す。図1と同一の構成要素には同一の参照番号が付されている。本実施例では、リセット信号によって粗密切替回路26をリセットした後、光出力値を制御するカウンタ16に対して決められた回数だけ大きいステップでアップダウンして、その後は、カウンタ16の動作モードを切替え、最小のステップでアップまたはダウンさせる。本実施例は、連続伝送向けのレーザ駆動回路向け光出力制御回路である。

【0022】本回路は、図1の従来技術と同様に、LD

駆動回路10においてデータ信号によって変調された駆動電流を発光素子に与える。この駆動電流値はカウンタ16とD/A変換回路14によって制御される。LD出力のモニタ電流をモニタ部20でI/V変換した結果を基準値24と比較してカウンタ16を操作する。D/A変換回路14として10ビットのD/A変換器を使用し、そのデジタル値の1に、駆動電流0.1mAを対応させれば、駆動電流の制御可能な範囲は0~102.3mAとなる。

【0023】基準値として、BGR型やツェナーダイオードを用いた一般的な定電圧回路を用いる。また、比較器22として、差動増幅回路を使用する。連続伝送向けであるため、モニタ部20は、抵抗と容量で構成された、平均値検出回路を用いている。モニタ部と同様な回路にデータ信号を入力して基準値を生成しても良い。本実施例が図1の従来技術と異なる部分は、駆動電流を制御するカウンタ16に対して粗密切替を行う機構である。本実施例では、粗密を切り替えるのに、初期起動時のフィードバック回数（アップダウンカウンタの更新回数）によって、粗密切替を行う構成にしてある。

【0024】カウンタ16の粗密動作は、粗密切替回路26の出力である粗密切替信号によって制御される。粗密制御回路26は、クロックとリセット信号27によって制御される。また、カウンタ16、粗密制御回路26及びD/A変換回路14に送るクロックは、クロック制御回路28で生成される。以降、本実施例の動作を図5を用いて説明する。

【0025】初期起動時30：初期起動のリセット信号（Low）によりカウンタ16および粗密切替回路26内のカウンタの値をクリアする。また、このとき、粗密切替出力は、粗動モードを示すHighになる。
粗動モード32：クロックとデータが入力されると、LD駆動回路10は、データに従って変調された駆動電流を出力する。初めは、カウンタ16がリセットされているために電流の値は0mAとなる。次に、そのモニタ電流値を基準値と比較した結果、カウンタ16の値が増えてゆく。このとき、粗密切替信号が粗動（High）であることから、カウンタ16を1回更新するたびに、カウンタ値は32ずつ増え、これに伴って駆動電流は3.2mAずつ上昇する。これを繰り返して目標値に達した後は、目標値付近で3.2mAの差がある2つの値の間で往復する。ここまでのカウンタ16の更新回数は、1/Mに縮小され（この例では1/32）、その結果、立ち上げ時間を短縮できる。本例では、カウンタ1の初期値0から動作させた後、駆動電流の最大値102.4mAまで、最悪で32回の更新で到達できる。

【0026】カウンタ16および粗密切替回路26に送るクロックは、モニタ部20の平均値回路の時定数を考慮して、基本クロックを128分周した遅いものを使用する。分周クロックは、クロック制御回路28（後に詳

述）内で生成される。その粗動モードは、粗密切替回路26のカウンタ（後に詳述）で、32回カウントした後完了し、粗密切替回路26の出力はLowに変わって停止し、密動モードに切り替わる。カウンタ16の更新周期はこの分周クロックの周期と同じであり、本実施例の粗動モードの時間は、基本クロックの周期の $128 \times 32 = 4096$ 倍の時間になる。

【0027】密動モード34：密動モードでは、カウンタ16が最小単位の1ずつ変化する。これに伴って駆動電流は0.1mAずつ変化して、最終安定値に近づく。目標値に達した後は、目標値にもっとも近い2つの電流値の間で往復する。密動モードに入ってから最終安定値に到達するまでに、カウンタ16の更新回数は、密動モードに入ってからM回以下である（この例では、32回以下）。従って、最悪の条件でも、粗動モード・密動モードで合計、 $32 + 32 = 64$ 回の更新で安定値に到達できる。従来例では、最悪で1024回かかっていることから、この例では、10倍以上のスピードアップが得られる。

【0028】図6に、カウンタ16の具体的回路ブロック図を示す。本回路は、駆動電流制御値を格納する、粗密のモード切替が可能な10ビットアップダウンカウンタを有している。10ビットアップダウンカウンタは、5ビットのアップダウンカウンタ36、38を接続して実現される。5ビットアップダウンカウンタ36、38の入出力信号の意味を下記に示す。

【0029】・UD：アップ／ダウン入力。Highでアップ。Lowでダウン。
・CL：クリア入力。Lowでクリア。
・CK：クロック入力。
・EN：イネーブル入力。Highで動作、Lowで保持。
・CO：キャリー出力。キャリーまたはボロー発生で、High。

【0030】・D0~4：LOADデータ入力。
・L0~4：LOAD制御入力。Highで該当桁にLOADデータがロードされる。
・O0~4：出力（カウント値）データ。

上記2つの5ビットカウンタを接続した図6の回路の動作を以下に説明する。

（1）粗密切替信号=Hのとき（粗動モード）

粗密切替信号がHレベルのとき、アップダウンカウンタ36のLOAD入力はすべてHレベルであるので、比較器の出力がアップダウンカウンタ36のカウント値の全ビットにロードされる。また、比較器の出力はカウンタ36のアップ／ダウン入力にも入力されている。モニタ値が基準値よりも小で比較器の出力がHレベルであると、カウンタ36の全ビットが“1”となる。このときアップ／ダウン入力はHレベル（アップ）であるので、毎クロックでキャリーが発生する。比較器出力がLレベ

ルであると、カウンタ36の全ビットが“0”となりアップ／ダウン入力レベル(Lレベル(ダウン))であるので、毎クロックでボローが発生する。カウンタ36にキャリーまたはボローが発生すると、ANDゲート37を介してアップダウンカウンタ38がイネーブルになる。上位のカウント38のL0～4入力はLowであるためロードはされずに、上位カウンタ38はアップ／ダウン動作する。すなわち、比較器22から送られたアップダウン信号に従って、上位カウンタ38のD0～4がアップ／ダウン動作する。

【0031】このように粗動モードでは、下位5ビットにアップ信号・ダウン信号によって、オール1またはオール0が格納されるために発生するキャリー／ボローによって上位5ビットのカウント38にアップダウン動作をさせることで、粗動モードを実現する。

(2) 粗密切替信号=Lのとき(密動モード)

上位および下位のカウントのL0～4入力すべてがLowであるため、 $5 \times 2 = 10$ bitの全桁において、通常の10ビットアップダウンカウンタとしてのアップダウン動作(密動モード)を行う。

【0032】このように、カウンタ16は、粗密切替信号に従って、粗動モード／密動モードを切り替えできるアップダウンカウンタとして動作する。図7に、粗密切替回路26の具体的回路ブロック図を示し、図8にその動作を示す。本回路は、リセット信号とクロック信号から、粗密切替信号を発生する。本回路は、5ビットの2進カウンタ40とインバータ42とから成る。

【0033】初期起動において、リセット信号=Lowで、カウンタ内部はリセットされる。クロックが入力されると、アップ動作され、 $32 = 2^5$ までカウントしたところで、キャリー出力COがHighになり、それがインバータ42で反転されてイネーブル端子EにLowが送られる為に、カウント動作が停止する。このため、リセット解除後、クロックを32回カウントするまでの間、粗密切替出力はHighであり、その後はLowとなる。このクロックとして、光出力制御用のカウンタ16と同じクロックを用いることで、カウンタ40はカウンタ16の更新回数をカウントする。一定回数、粗動モードでカウンタ16を更新する回数を数えることによって、粗密切替機能を実現する。

【0034】本実施例の図7では、32回カウントするタイプを用いたが、他のカウント数を用いる場合には、それに相当するカウンタを使用すればよい。図9に、クロック制御回路28の具体的回路ブロック図を示し、図10にその動作を示す。本回路は、連続伝送向けのクロック制御回路である。基本クロックを $1/128$ の周期に分周して、カウンタ用クロックを生成してカウンタ16と粗密切替回路26へ送る。分周回路は7つのD-FF(フリップフロップ)回路44から成り、入力クロック128周期で、出力クロック1周期を出力する。ま

た、D/A変換回路14に送るクロックは、D-FF46によって半周期遅延させて出力する。

【0035】図11に、LD駆動回路10の具体的回路図を示す。本回路は、インバータ48、50によって差動化されたデータ信号とnチャネルMOSトランジスタ52、54から成る差動対によって、電流源として働くnチャネルMOSトランジスタ56から出力される電流を変調して、LDに流す駆動電流(変調電流)を得るものである。

【0036】定電流源56の電流値は、nチャネルMOSトランジスタ56、58から成るカレントミラーの出力電流として得られ、その入力電流は、pチャネルMOSトランジスタ60、62から成るカレントミラーから得られ、その入力電流は、D/A変換出力電圧を、OPアンプ64とnチャネルMOSトランジスタ66と固定抵抗68によって、一定の電流値に変換して得られる。従って、D/A変換回路14の出力によって駆動電流値は制御される。ここではD/A変換回路出力は電圧信号であると想定しているが、電流出力の場合、その出力を直接、トランジスタ60、62からなるカレントミラー回路またはトランジスタ56、58からなるカレントミラー回路に接続することができる。

【0037】以上、第1の実施例は、粗密切替回路をリセット後、光出力を決めるカウンタ値を、最小桁で示される値のM倍の幅で決められた回数だけアップ、またはダウンさせ、その後は、カウンタの最小桁で示される値をアップ、またはダウンさせるので、連続伝送用のレーザダイオード駆動回路の光出力制御回路の立ち上げを加速することができる。

【0038】本実施例のリセット信号は、外部からの信号を用いたが、あるいは、電源電圧を検知する回路(通常のパワー・ON・リセット回路)などによって電源電圧が投入されたときに自動的に発生させた信号をリセット信号としても良い。光出力の目標値付近に速く到達させるには、粗動のステップを大きくするとよいが、粗動のステップを大きくしすぎると、密動モードに入った後に、最終的安定値に到達するステップ数が増加することになる。D/A変換回路のビット数をN桁、粗動ステップを下からM桁めとすると、D/A変換のデジタル値の全域の範囲を走査する場合、粗動の回数は $2^{(N-M)}$ 回、密動の回数は 2^M 回で合計は $2^{(N-M)} + 2^M$ 回となる。この値は、 $M = N/2$ のときに最小となる。

【0039】すなわち、10ビットのD/A変換器を用いた場合には、粗動を32ステップにするのがベストで、64回で全桁が安定する。以上の実施例では、10ビットD/A変換回路に入力するデジタル値0～1023すべてを走査すべく、粗動を32回($32 \times 32 = 1024$)としたが、立ち上げ時にすべての範囲を走査させる必要がないとき、例えば、カウンタに初期値を入れる場合や、使用する電流範囲が狭い場合には、カウント

する回数を減らしたほうが立ち上げが速くなるので望ましい。

【0040】本実施例では、リセット時に、光出力制御用のカウンタ16の値をリセットさせておいたが、これは、必ずしも0の値を入れることが必須ではない。何かの理由で、初期値をロードさせても構わない。例えば、目標値より大きな電流に相当する値を初期値とした場合には、この値をもとに、カウンタ16は更新のたびに16ずつ減るように開始するようにすることも可能である。また、LDの種類や、流す電流値や要求される光出力の精度に従って適当な初期値をロードしておいても良い。

【0041】また更に、光出力制御の初期値として、そのときの温度とLDの温度特性に応じた適切な値をロードすることによって、第一のバースト信号の先頭ビットから所望の光出力を得る事が出来、光出力の高速応答性と高精度制御が両立できる。また、バースト間で上記の初期化を行なうことによりバースト信号間の急激な周囲温度変化に対する光出力の補償機能を実現することができる。

【0042】本実施例では、10ビットアップダウンカウンタとして5ビットカウンタを2つ接続したものをを用いたが、あるいは、4ビットカウンタ2つと2ビットカウンタを接続した形でも、10ビットカウンタとして一体となっているものを使用しても構わない。第2の実施例を図12に示す。本例は、バースト伝送、連続伝送の両方に対応できるもので、第1の実施例(図4)とは、モニタ部と、クロック制御回路が異なる。

【0043】図13に、モニタ部70の回路図を示す。本回路は、I/V変換回路73とピークホールド回路74から成る。第1の実施例のモニタ部は、時定数の長い平均値検出回路を用いていたので、連続伝送にしか対応できないのに対し、本実施例では、光出力のピーク値を捕らえることによって短時間に光出力のモニタ値を捕らえることができるので、バースト伝送、連続伝送の両方に対応できる。抵抗75による自然放電機能は光出力値が小さくなる方向に更新されたときにそれに追従するために電流を放電しているものである。本実施例では、ピークホールド回路を用いたが、ボトムホールド回路、サンプルホールド回路などを使用しても構わない。

【0044】第1の実施例のクロック制御回路28では、連続伝送に対応して、基本クロックを単純に分周したクロックをカウンタに送っていた。バースト伝送ではデータがない時間帯が長く、この間、光出力値をフィードバックできない。このことから、第2の実施例のクロック制御回路72では、データがないときには制御状態を更新しないように、カウンタ16、粗密切替回路26、およびD/A変換回路14へのクロックを停止する。

【0045】本実施例の動作を、図14に示す。前述の

第1の実施例との違いは、データがない時間において、カウンタ16に送るクロックが停止して、カウンタが更新されないところである。クロック制御回路72の詳細については後述する。上述の実施例1, 2では、粗動・密動モードを切り替えることによって、立ち上げを速くしていたが、さらに粗動モードの段階を増やすことで、最終桁が安定する迄の立ち上げ時間をさらに速くすることができる(多段カウント法)。

【0046】この動作を実現する本発明の第3の実施例の動作を図15に示す。光出力制御用カウンタの初期起動時、最初の32回の更新は、同カウンタの6桁目をアップダウンさせることによって、一回の更新で、32LSB更新し、駆動電流にして3.2mAずつ増減する。次の更新から4回は、同カウンタの下から4桁目をアップダウンさせることによって、一回の更新で、8LSBずつ更新し、駆動電流にして0.8mAずつ増減する。その後は、1LSBずつ更新し、駆動電流にして0.1mAずつ増減する。この例では、カウンタの最後の桁が安定するまでに、 $32 + 4 + 8 = 44$ 回の更新で、安定値に到達できる。第2の実施例は、 $32 + 32 = 64$ 回の更新が必要であったことに対し、1.5倍のスピードアップが得られる。

【0047】この第3の実施例を実現する回路ブロック構成を図16に示す。第2の実施例の図12との大きな違いは、2つの粗動モードに対応して、粗密切替回路76から光出力制御用のカウンタ16に粗密切替信号が2本出ていることである。この構成で用いる光出力制御用のカウンタ16の回路図を図17に示す。第1, 2の実施例で用いた図6のカウンタとの違いは、2つの粗密切替信号付近の接続である。すなわち、下位カウンタのLOAD制御入力L0~4に対し、粗密切替信号1と2の2本が、該当するビットに接続されている。この切替信号がHighになっている間、接続された桁には、アップ時にHigh、ダウン時にLowがLOADされる。下位5ビットカウンタの下位から4~5bit(8と16の位)は粗密切替信号1で制御される。下位5ビットカウンタの下位から1~3bit(1, 2と4の位)は粗密切替信号2で制御される。

【0048】この粗密切替信号1, 2を生成する粗密切替回路の回路図を図18にその動作を図19に示す。本回路は、図7と異なり、2つのカウンタ回路を有する。すなわち、リセット信号解除後(Low→High)、クロック信号を送って5ビットのカウンタ78が動作して32回カウントしたところで停止し、粗密切替信号1をHigh→Lowに切り替える。カウンタ78のキャリー出口がHighになることにより、カウンタ80のCL端子がHighになり、2ビットのカウンタ80が動作を始め、4回カウントしたところで停止し、粗密切替信号2をHigh→Lowに切り替える。

【0049】第3の実施例では、粗動モードを2つ設け

て、立ち上げのスピードアップを実現したが、さらに速くするには、粗動のモード数をさらに増やすと有効である。そのためには、粗密切替信号を増やし、これを制御する回路を設ければ実現できる。この粗動モード段数をさらに増やして、粗動モードを各桁ごとに設けると、立ち上げ速度を最も速くできる。本発明の第4の実施例（2分法）の、動作を図20に示す。

【0050】光出力制御用カウンタのリセット後、最初の32回の更新は、第2の実施例と同様に同カウンタの6桁目以上をアップダウンさせることによって、一回の更新で、32LSB更新し、駆動電流にして3.2mAづつ増減する。第4の実施例の特徴的な動作は、次の更新から1づつ、更新桁を下げることである。すなわち、同カウンタの5桁目以上の桁に於いてアップダウンを1回行い（第2の粗動モード）、4桁目以上（第3の粗動モード）、3桁目以上（第4の粗動モード）、2桁目以上（第5の粗動モード）と順次、アップダウン動作する最小桁を下げて行き、最後に最小桁（LSB）が決定されるに至り、最終的安定値に到達する。この例では、カウンタの最後の桁が安定するまでに、 $32 + 5 = 37$ 回の更新で、安定値に到達できる。第2の実施例は44回の更新が必要であったことに対し、さらにスピードアップできる。

【0051】第4の実施例において、立ち上げの高速化に対する理論を説明する。光出力制御回路の立ち上げ過程は、駆動電流制御値、 X を変数とした関数である光出力 $=F(X)$ において、 $F(X)$ が目標値 V に一致する X を求めることに相当する。すなわち $F(X) = V$ となる $X = F^{-1}(V)$ を求めればよいわけである。図21に、 $X - F(X)$ のグラフを示す。例えば、区間 $X = 0 \sim 32$ の間で単調（増加、または、減少）な関数、 $F(0) < V < F(32)$ となることが判っている場合、 $X = F^{-1}(V)$ は $0 \sim 32$ の間に存在する。

【0052】この X を求める方法として、2分法がある。2分法は、ある区間の間に答えが存在することが判っている場合、区間の midpoint の値を求めて、答えの存在する区間の幅を半分に絞ることを繰り返すものである。この方法は、変数 X が2進数（デジタル）である場合には、デジタル値の上位の桁から順次決めて行くことに相当し、デジタルのビット数と同じ回数だけ試行することで、解を求めることができる。第3の実施例では、初期起動時に6桁め以上でアップダウンさせ、答えが存在する区間を求めてから、下5桁で2分法を行っているの、2分法では5回で答えに到達できる。

【0053】この第4の実施例を実現する回路ブロック構成を図22に示す。第2の実施例との違いは、粗密切替信号が5本あることである。この構成で用いる光出力制御用のカウンタ16の回路図を図23に示す。第2の実施例の図6との違いは、粗密切替信号付近の接続である。すなわち、下位カウンタのLOAD制御入力 $L0 \sim$

4の全5本に対し、5本の粗密切替信号が、該当するビットに接続されている。粗密信号として図24の波形を入力することで、上述の、カウンタ6桁め以上の粗動を32回行う後、5桁めから最小桁までを2分法で求める動作を実現できる。

【0054】この粗密切替信号を生成する粗密切替回路の回路図を図25に示す。本回路は、図18と異なり、32回をカウントする5ビットのカウント84と、1回カウントする4つの1ビットのカウント80で構成される。上記、第4の実施例では、初期起動時に6桁め以上でアップダウンさせ、答えが存在する区間を求めてから、2分法を用いているが、初期起動時に最高位の10桁め（以上）でアップダウンさせるところから開始して、すぐに2分法を開始しても構わない。この場合、10桁の2進数 $= 10\text{bit}$ のカウントでは、上位から1回づつ値を変えて行けば、10回で目標値に到達できる。

【0055】上記、第4の実施例で、2分法による粗動部分で各桁を各1回づつアップダウンさせているが、必ずしも1回づつである必要はない。最も速い例として、各1回を挙げただけで、他の理由で、回数を増やしても構わない。本発明の第5の実施例の動作を図26に示す。本実施例では、光出力が目標値に近づいたことを検出して、粗密切替を行う。前述の実施例1～4では、初期起動時に、あらかじめ決められた回数だけ粗動モードを実行するように粗密切替をおこなっていたが、本実施例は安定化に近づいたかどうかを判断して、粗密切替を行うものである。安定化に近づいたことの判断は、目標値の付近に一定の幅を有するウィンドウを設け、モニタ値がこのウィンドウに入ったか否かで判断する。

【0056】本実施例のブロック図を図27に示す。前述の実施例1～4と異なる点は、粗密切替回路88に、モニタ値と基準値の信号が入力されていることである。この粗密切替回路88を図28に示す。粗密切替回路88は、ウィンドウコンパレータ部90とラッチ部92からなる。ウィンドウコンパレータ部90には、2つの差動増幅回路による比較器94、96を有し、基準値を電圧 $\Delta Vw1$ 、 $\Delta Vw2$ のレベルシフト用電圧源98、100でシフトしたレベルを基準として、モニタ出力を比較した結果のNORをとった値が、ウィンドウコンパレータ出力となる。すなわち、モニタ値が基準値を中心とする幅 $\Delta Vw1 + \Delta Vw2$ のウィンドウの中に入ったときに、ウィンドウコンパレータの出力がHighになる。

【0057】リセット後に、粗動モードを行うために、ラッチ92が設けられている。ラッチとしては、JKフリップフロップ102を用いる。起動時にはこのラッチ92をリセットしておき、粗密切替回路の出力としてラッチの $XQ = \text{High}$ を出力することによって、粗動モード信号を送る。粗動立ち上げが進み、モニタ値がウィンドウの範囲に入った後は、ラッチのJ入力 $= \text{High}$

h、従って、XQはLowとなり、密動モード信号を送る。

【0058】なお、粗動モードの1回の制御におけるモニタ値の変化幅よりウィンドウの幅は広くなければならない。もし、ウィンドウの幅の方が狭いと、粗動時にウィンドウを越えた範囲でアップダウンすると、永久に粗動モードが続く恐れがある。ウィンドウコンパレータのレベルシフト用電圧源98、100の部分のさらに具体的回路を図29に示す。本回路でレベルシフト用電圧源は、2つの抵抗RW1、RW2に電流 $I_{w1} = I_{w2}$ を流すことで実現している。素子値の例としては、RW1 = RW2 = 1 k Ω 、 $I_{w1} = I_{w2} = 50 \mu A$ で、その結果、 $\Delta V_{w1} = \Delta V_{w2} = 50 mV$ が得られる。 I_{w1} の電流は、基準電圧（ツェナーダイオード型、BGR型など通常の定電圧回路）、と抵抗R1、オペアンプ、nチャンネルMOS M1からなる定電流回路の出力電流を、pチャンネルMOS M2、M4から成るカレントミラーを介して、発生させる。また、 I_{w2} の電流は、定電流回路の出力電流を、pチャンネルMOS M2、M3から成るカレントミラーで伝達し、さらに、nチャンネルMOS M5、M6から成るカレントミラーを介して発生させる。

【0059】なお、この第5の実施例の変形として、ウィンドウコンパレータのウィンドウ幅に温度依存性を持たせることによって、さらに立ち上げ時間を加速することが出来る。この原理を、図30を用いて説明する。図30に、レーザダイオードの電流-光出力特性を示す。駆動電流がしきい値を越えると発光するが、微分効率 $= \Delta L / \Delta I$ には、大きな温度依存性があり、高温で微分効率が小さくなっている。従って駆動電流をデジタル制御する場合、デジタル値が1変化するときの光量の変化は高温で小さくなる。その結果、ウィンドウの幅を固定で動作させると、高温では密動モードになった後に、安定するまでの更新回数が増えてしまう。この対策として、この光量のステップの温度依存性（レーザの微分効率に比例）にあわせて、ウィンドウの幅を高温で狭くすることによって、密動モードになった後に安定するまでの更新回数の温度依存性を無くして、広い温度範囲で立ち上げ時間を高速化する。

【0060】その具体的方法として、図29の定電流発生回路の固定抵抗R1の代わりに、温度依存性を有する正温度係数抵抗器（正温度係数サーミスタとも呼ぶ）、あるいは、これと固定抵抗との合成抵抗を用いることによって、ウィンドウ幅を決める電圧源の電圧を高温で小さくするようにすることができる。また、上記ウィンドウコンパレータでは、レベルシフト用電圧 $\Delta V_{w1} = \Delta V_{w2}$ の例で示したが、必ずしも一致させる必要はない。同様に、必ずしもRW1 = RW2である必要はない。

【0061】第6の実施例を図31に示す。本実施例

は、第5の実施例の粗動モードを2段階にしたものである。それに伴い、粗密切替回路が2つある。カウンタ16は、第3の実施例で使用した図17のタイプを用いる。粗密切替回路104は、その内部のウィンドウコンパレータのウィンドウが大きい方であり、粗密切替信号1を出力し、粗密切替回路106は、その内部のウィンドウコンパレータのウィンドウが小さい方であり、粗密切替信号2を出力する。

【0062】以上の構造により、第6の実施例は、初期起動時に複数のウィンドウコンパレータを用いて、アップダウンカウンタの動作を粗密切り替えさせることにより、立ち上げを速くすることが出来る。第7の実施例の動作を図32に示す。本実施例は、光出力が目標値に近づいたことの検出方法として、光出力制御カウンタを更新するときの履歴を用いる。すなわち、比較器と光出力制御用のアップダウンカウンタを使用する光出力制御回路においては、アップダウンカウンタを更新する時の比較器出力が、光出力が目標値と異なっているときは、アップまたはダウンの一方だけが繰り返され、光出力が安定化したあと、アップとダウンを交互に繰り返すことになる。従って、アップ・ダウンの履歴をとり、アップとダウンが混じっているか否かを判断すれば、粗動モードにおいて、光出力が安定化したことが判定できる。

【0063】第7の実施例を図33に示す。他の実施例との違いは、粗密切替回路108に、比較器の出力が接続されていることである。粗密切替回路108の具体例の1つを、図34に示す。本回路は、比較器出力の履歴をシフトレジスタ110に格納し、各桁の論理によって、信号を生成する。シフトレジスタ各桁が、互いに異なっている状態、「101」または「010」を論理積で検出して、ラッチ112のXQ出力をLowにする。この構成によって、粗動モードにおいて比較器出力の履歴から、光出力が目標値に到達したことを判断して、粗密切替信号を発生させることが出来る。

【0064】粗密切替回路108の他の例を、図35に示す。本回路は、比較器出力の履歴を5ビットシフトレジスタ114に格納し、各桁の論理によって、信号を生成する。シフトレジスタ各桁が互いに異なる状態を排他的論理和（EXOR）により、検出する。さらに、目標値に到達した条件の定義を「101」や「010」以外にも広くし、「10010」「01101」「11010」「10101」「01010」「00101」を目標値に到達した条件とした。

【0065】本発明の第8の実施例を図36に示す。本実施例は、第7の実施例（図32、33）に対し、粗動モードを2段階に設けている。回路図上では、粗密切替信号が2本になっている。粗密切替回路116の具体例を、図37に示す。本回路は、第7の実施例の図34に対し、ラッチを2段有し、2つの粗動モードに対応した、2つの粗密切替信号を発生させる。

【0066】本発明の第9の実施例を図38に示す。本実施例は、外部信号によって粗密切替を行うために粗密切替端子を備えるものである。特に、光通信システム等に用いた場合に、光送信部をモジュール化した構成のときには、本体装置から様々な制御信号が送られるが、粗密切替信号を本体装置から供給する場合、本実施例を適用できる。

【0067】第10の実施例は、第2の実施例（カウンタ法）と第5の実施例（ウィンドウコンパレータ）を組み合わせたもので、起動時に、32回数だけカウンタ16の下から6桁目をアップ、またはダウンさせ、次に、モニタ値がウィンドウコンパレータのレベル幅の中に入るまで、カウンタ16の下から4桁目をアップ、またはダウンさせる、その後、最小桁をアップ、またはダウンさせる。

【0068】全体の構成は、粗密切替信号が2本になるほかは図27と同様である。粗密切替回路の構成を、図39に示した。まず始めにカウントを行うためのカウンタ118があり、これから、粗密切替信号1が出力される。また、次に、ウィンドウコンパレータ120により、粗密制御を行い、上記動作を実現する。第11の実施例を図40に示す。本実施例は、第2の実施例（カウンタ法）と第7の実施例（履歴参照、図33）を組み合わせたもので、起動時に、該カウンタの下から6桁目をアップ、またはダウンさせ、次に、該比較回路の出力結果の履歴においてアップとダウンが混じるまで、該カウンタの下から3桁目をアップ、またはダウンさせ、その後は、カウンタの最小桁をアップ、または、ダウンさせる。粗密切替回路124には、カウントに必要なクロックの他に、比較器22の出力が接続されている。

【0069】粗密切替回路124の一例を図41に示す。まず始めにカウントを行うためのカウンタ122（図7と同等）があり、これから、粗密切替信号1が出力される。また、次に、比較器の履歴により、粗密制御を行う回路（図34と同等）を有し、上記動作を実現する。第12の実施例を図42に示す。本実施例は、第5の実施例（ウィンドウコンパレータ、図27）と第4の実施例（2分法、図22）を組み合わせたもので、起動時に、モニタ値がウィンドウコンパレータのレベル幅の中に入るまで、該カウンタの下から6桁目をアップ、またはダウンさせ、次に、該カウンタの5桁目を1回だけ、アップ、またはダウンさせた後、その次に、4桁目を1回だけ、アップ、またはダウンさせ、これを繰り返して、該カウンタの最小桁以上桁で示す値をアップ、またはダウンさせて、最終的には、最小の桁をアップ、またはダウンさせることを続けて、光出力を安定化させる。

【0070】構造は、粗密切替回路126に、モニタ部70、基準値24の信号が入力され、粗密切替信号は、2分法のために5bit 並列に出力される。粗密切替回路

126の一例を図43に示す。第5の実施例のウィンドウコンパレータ（図28）と第4の実施例の2分法の制御回路（図25と同等）から成る。第13の実施例を図44に示す。本実施例は、第5の実施例（ウィンドウコンパレータ、図27）と第7の実施例（履歴参照、図33）を組み合わせたもので、粗密切替回路128には、ウィンドウコンパレータに送るモニタ値と基準値、さらに、比較器の出力が接続されている。

【0071】起動時に、モニタ値がウィンドウコンパレータのレベル幅の中に入るまで、該カウンタの下から6桁目をアップ、またはダウンさせ、次に、該カウンタの下から3桁目をアップ、またはダウンさせる。所定のアップ・ダウンのパターンを繰り返したあとは、最小の桁をアップ、またはダウンさせることを続けて、光出力を安定化させる。

【0072】粗密切替回路128の具体的構造を、図45に示す。第5の実施例のウィンドウコンパレータ（図28）と第7の実施例の履歴参照型のシフトレジスタ（図34）を有している。第14の実施例に用いられる粗密切替回路230を図46に示す。本実施例は、第8の実施例（履歴参照、図37）と第4の実施例（2分法、図25）とを組み合わせたもので、粗密切替回路230には、比較器の出力が接続されている。粗密切替回路230は、第8の実施例の履歴参照型のシフトレジスタ（図34）と、2分法の粗密制御回路（図25）を有する。

【0073】これまでに説明された第1の実施例を除く各実施例において使用されるクロック制御回路72の回路構成の第1の例を図47に示す。バースト伝送においてはデータがない時間帯が長く、この間、光出力値をフィードバックできない。このことから、入力データが存在する時のみ、カウンタを更新するようにカウンタ16、粗密切替回路26、76、82、108、116、120、124、126、128または230、D/A変換回路14に送るクロック信号を入力データと基本クロックから生成する。本回路は、データ検出回路232、4ビットの2進カウンタ234、遅延回路236から構成される。データ検出回路232は入力データを検出しHiを出力する。このデータ検出回路の出力がHi、且つ、4ビットの2進カウンタ234のキャリーが上がっている（Hi）時のみ、4ビットの2進アップカウンタのLOAD制御入力Hiとなるので、4ビットの2進アップカウンタのデータをロードし、その後、キャリーが解除されることでカウンタはカウントを開始する。図48に示したクロック制御回路のタイムチャートは、4ビットの2進アップカウンタにロードされるデータが“2”、また、カウント値が“1”でキャリーを発生するように設定されている場合を示している。また、4ビットの2進カウンタの最上位ビットの値Q3がカウンタ用クロック信号に用いられている。

【0074】図47および図48を参照して、本発明のクロック制御回路の動作を説明する。最初にリセット信号によりカウンタ234はゼロにリセットされ、次のクロックでカウント値が“1”になるとキャリーが発生してカウンタ234のEN入力がLレベルになるのでカウントを停止する。データ検出回路232の詳細については後述するが、データ検出回路232へ入力されるデータが3ビット続けて“1”であるときデータ検出回路232の出力がHレベルになり、値“2”がカウンタ234にロードされる。これによりカウンタ234はカウントを再開し、カウント値が“8”になって出力Q3がHレベルになり、カウンタ用クロックがHレベルになる。カウント値が0になると出力Q3はLレベルになり、カウンタ用クロックがLレベルになる。カウント値“1”でキャリーが発生してカウンタ234は停止する。その後、データ検出回路232の出力がHレベルになると前述の過程を繰り返す。強制放電信号（後述）は遅延回路236のフリップフロップ238によりカウンタ用クロックから1クロック遅れて出力される。D/A変換用クロックはフリップフロップ240により、さらに1クロック遅れて出力される。

【0075】このように入力データ信号の存在する時のみ、光出力更新タイミングのためのカウンタ用クロックを生成する。即ち、入力データの“1”に同期した光出力更新タイミングが実現できる。データ検出回路232の一例を図49に示す。入力データ信号が3ビット連続して入力された場合、ANDゲート242の入力はすべて“1”になるのでデータ検出出力信号はHiとなり前述の4ビットの2進カウンタはカウントを開始する。この例では、入力データ信号が3ビット連続したのを検出したが、必ずしもこれにとらわれる必要はない。

【0076】また、D/A変換回路14に送るクロックとしては、カウンタ16の遅延時間及びD/A変換回路14の入力セットアップ時間等の遅延分を考慮して、4ビットの2進カウンタ234の出力を遅延回路236によって遅延したものが使用される。強制放電信号は、目標値よりも高い初期値から制御を開始する場合のように、光出力を高速に低下させることが要求される場合にモニタ部において使用される。図13に示されたモニタ部70では、モニタ出力が目標値よりも高い時に制御値を下げて光出力を下げ、それによりモニタ電流が減少したとき、モニタ出力は抵抗75による自然放電で徐々に低下する。そのため、実際には光出力が基準値よりも低くなっているにもかかわらず高いという判断になり、実際の光出力が基準値より著しく低くなってしまう恐れがある。これに対処するため、図50に示したモニタ部243では抵抗75に並列にトランジスタ244が設けられている。カウンタ16の更新が終わったタイミングで強制放電信号によりトランジスタ244がONにされコンデンサ246の電荷が強制的に放電される。これによ

り、光出力の急激な低下に対するモニタ出力の追従性が改善される。光出力制御の基準値をデータ信号から生成する場合には、基準値の放電も同様の回路によって構成すればよい。また、基準値発生回路として、前述の一般的な定電圧回路を用いてもよい。

【0077】リセット信号によりデジタル値をクリアした後の初期値が必ず光出力の基準値より低いレベルにあり、高速な光出力の減少更新を必要としない場合は、この強制放電信号は不要である。更に、自然放電及び強制放電の双方を持たないサンプルホールド回路あるいはエッジ検出回路によりモニタ部、基準値を構成しても構わない。

【0078】以上の説明において、クロック制御回路の各種出力信号の更新タイミングは、本光出力制御方式を実現する各ブロックの遅延時間等により、任意に設定してもよい。本実施例のリセット信号は、外部からの信号を用いたが、あるいは、電源電圧を検知する回路（通常のパワー・オン・リセット回路）などによって電源電圧が投入されたときに自動的に発生させた信号をリセット信号としても良い。さらに、入力CLKが無くなったことを検知するクロック断検出回路によってリセット信号を生成しても良い。また更に、外部信号、電源電圧の検知回路、クロック断検出回路の2種以上を併用しても構わない。

【0079】以前に説明した、カウンタ16に初期値をロードする場合のカウンタ16の詳細な構成を図51に示す。初期値の上位5ビットは上位5ビットのアップダウンカウンタ38のロードデータ入力に直接接続される。下位5ビットは5連のスイッチ248の一方へ接続される。初期値ロード信号がHレベルのときスイッチ248は初期値の下位5ビットを選択してアップダウンカウンタ36のロードデータ入力に接続する。初期値ロード信号がLレベルのとき比較器22の出力を選択してロードデータ入力に接続する。

【0080】図52に、クロック制御回路72の第2の例を示す。前述のカウンタ16に光出力に対する初期値を入力するために、データ検出回路出力信号と初期値印加終了信号との論理和を取ってカウンタ234のLOAD端子へ入力する。これによって、図53に示すように初期値印加終了とともにカウンタ用クロックが出力され、初期値がカウンタ16へロードされる。

【0081】以上の例においては、入力DATAの“1”に同期した光出力更新タイミングを実現したが、データが存在しない時間においてのみ、カウンタ16、粗密切替回路、D/A変換回路に送るクロックを制御することによって、光出力に対するデジタル値を更新しない光出力更新タイミングを生成することも可能である。これを実現するのは図54のクロック制御回路である。本回路は、データ断検出回路250、4ビットの2進カウンタ234、遅延回路236から構成される。デ

ータ断検出回路250は入力データの“0”を検出しHiを出力する。動作は前述と同様であり、図52と同様、光出力に対する初期値を付加したい場合は、図54に初期値印加終了信号を設けても良い。データ断検出回路250の具体例を図55に示す。

【0082】以上の説明におけるクロック制御回路は、遅延回路を含んで構成されていたが、遅延回路の代わりに組み合わせ論理252を使用して構成することも可能である。具体例を図56に示す。図57はカウンタの代わりに分周器を用いたクロック制御回路の例を示す。図47のカウンタ234の代わりに4段の分周器252と、データ検出との同期のためのフリップフロップ254が使われている。データ検出回路256は図58に示す構成のものを使用する。図58において、データがないときトランジスタ258がONになって電流源260からの電流がコンデンサ262にチャージされ、コンデンサ262の電圧は高いレベルになる。データが有るとき、トランジスタ264がONになって電流源266によりコンデンサ262が放電されて低い電圧レベルになる。トランジスタ268はゲート電位が高いときOFFになって電圧検出出力はLレベルになり、ゲート電位が低いときONになって検出出力はHレベルになる。すなわち、検出出力はデータが有るときHレベルになり続け、データがないときLレベルになる。図59に図57のA～J点の信号を示す。

【0083】光出力制御回路における負帰還制御について、レーザ・ダイオード(LD)の劣化モードを考える。経年変化等によりLDが劣化するとその発光効率は低下し、フォトダイオード(PD)から出力されるモニタ信号は低下する。従って、光出力の負帰還制御により、光出力に対応するカウンタ16のデジタル値は上昇を続ける。ここで、何らかの理由で、LDの発光効率が復帰すると、その時には光出力に対するデジタル値は最大値となっている場合も考えられる。この場合、LDの破損を生じかねない。

【0084】図60はLD駆動回路10から、LD駆動電流リミット信号を出力し、この信号を光出力値を制御するカウンタ16に入力し、光出力のアップ方向の動作を停止することで、前述のLDの破損モードを回避したものである。LD駆動回路10及び光出力値を制御するカウンタ16の具体的回路をそれぞれ図61、62に示す。図61において、PチャネルMOSトランジスタ60と62、更に60と270はそれぞれカレントミラーを構成する。また、NチャネルMOSトランジスタ272と274は、56と58と同様にカレントミラーを構成する。電流源276、トランジスタ272、274によって生成される電流IA(基準値)と、トランジスタ60、270によって生成される電流IBについて、 $IB > IA$ の場合、LD駆動電流リミット信号はHiを出力する。電流源276、トランジスタ272、274に

よって生成される電流IAがLD駆動電流をリミットさせたい基準値になる。リミット信号がHレベルになることにより図62に示す、カウンタ38はアップ動作のみを停止する。

【0085】これまでに説明した光出力制御回路では、光出力制御回路の立ち上げが完了して、安定化した後には、図63に示すように光出力値は基準値をはさむ2値の間を頻繁に往復する。通常は、この2つの値は光出力規定の範囲内に納めるように設計するが、光出力値が必要のない変化を繰り返す。特にバースト伝送においては、光出力が安定するまでの時間を短くする必要があり、そのためには、フィードバックを回す速度を上げる必要がある。しかし、常に高速でフィードバックを行うと、必要のない更新を繰り返すことになる。この問題は、光信号を受信する側にとっては、エラーレート増加の要因となる。

【0086】また、これまでに説明した光出力制御回路で用いられるD/A変換回路周辺に関する課題を、図64を用いて説明する。光出力制御回路が光出力値を更新する際に、D/A変換回路に入力されるデジタルコードが変わって、D/A変換回路の出口にグリッチと呼ばれるスパイクが発生する。これが駆動電流に現れ、波形歪みを引き起こす。この問題も、光信号を受信する側にとっては、エラーレート増加の要因となる。

【0087】本発明の他の実施例を図65にその動作を図66に示す。本実施例は、これまでに説明した実施例に対して、光出力制御値を格納するカウンタ16に送るクロックを制御するクロック制御部28のほかに、カウンタ16の更新の許可を制御する更新許可制御部276を有し、ここから出力される更新許可信号SIG1によりカウンタの更新の許可を制御する。すなわち、信号SIG1によって、一度、カウンタ16を更新した後、クロックまたはデータ信号のカウント等により一定の条件を満たすまでの間、更新を許可しないことによって、フィードバックによる更新に最低限必要な周期より長い時間、不要な更新を禁止する。これによって、実際にフィードバックされる周期を長くして、必要のない更新回数を減らすことができる。光出力は、基準値を挟んだ2値の間を往復するが、その頻度は減るので波形が改善できる。

【0088】図65の例では、SIG1の論理は、更新許可時に“1”=High、更新禁止時に“0”=Lowであり、更新の後、“0”になり、ある条件を満たすまでの間この状態を継続し、条件を満たしてから、次の更新がなされるまで“1”となっている。SIG1の信号の具体的な生成方法については、後に複数の例を示す。

【0089】図65の回路では、カウンタの更新/禁止の制御として、カウンタ16に送るクロックとは別の更新許可信号が使用されているが、これのかわりに、許可

信号とクロックとで論理演算を行なって、更新禁止時にクロック自体を停止させるようにしても（例えば、ANDゲートなどで容易に実現できる）、全く同様の効果がある。以降、クロックとは独立の更新許可信号について説明するが、クロック自体を停止する方式でも実現できるのは、自明である。

【0090】次に、図67、68を用いて、本発明のさらに他の実施例を説明する。本実施例は、制御安定時には光出力の更新回数が少ない一方で、立ち上げ時には高速の更新を実現するものである。本実施例の動作を図67に示す。切替信号SIG2によって、更新に最低限必要な周期でフィードバックを行う立ち上げモードと、更新が一度行われた後、ある条件を満たすまでの間、更新を禁止させる安定モード、とを有し、切り替えることにより、高速立ち上げと、安定化時の波形劣化低減を両立させるものである。SIG2は、この図の例では、高速立ち上げ時に“1”で、安定化後“0”となる。

【0091】これを実現するための構造を、図68に示す。図65の回路に立ち上げ時を示す信号SIG2を生成する動作切替部が追加され、SIG2と更新許可制御部276の出力のORゲート279による論理和がSIG1としてカウンタ16へ入力される。切替信号であるSIG2としては、データ、クロック、あるいは、他の外部信号などから生成することが可能であり、具体的な生成方法については、後に複数の例を示す。

【0092】さらに、図69を用いて、本発明のさらに他の実施例を説明する。本実施例は、高速立ち上げ機能を保持しながら、光出力制御値を更新する際にD/A変換回路で発生するグリッチによる光出力波形の劣化を防ぐことを目的としている。図69の基本構造は前述の図68とほぼ同様であり、異なる点は高速立ち上げ／安定時の動作モード切替によって、LD駆動回路内の駆動電流を決める電流源の周波数帯域を、変えられるようにしてあることである。

【0093】これにより、高速立ち上げ時には、電流源の周波数帯域を広帯域にして、フィードバックを高速に回して、光出力を目標値に短時間で到達させることによって、高速立ち上げ機能を実現し、安定化した後は、フィードバックを遅くして、かつ、駆動電流の周波数帯域を狭くして、D/A変換回路のグリッチによる光波形劣化を防ぐことができるので、良好な光波形で通信を行うことができる。

【0094】更新許可制御回路276の一例を図70に示す。更新頻度を制限するために、光出力制御値を格納するカウンタ16の更新が行われた後、クロックをカウントするデジタルタイマーを回し、一定の時間は更新を禁止し、その後、許可する。回路の動作を以下に説明する。初め、カウンタ280には、クロックを分周器282で2分周した2分周クロックが入力されているが、Q0～Q7には、11111111（2進数＝255@1

0進数）があり、キャリーCOは“1”になっており、イネーブルEに“0”が入っているために、停止している。そこに、カウンタクロックが入力されると、その立ち上がりでDFFにて検出して、カウンタ280に0をロードする。すると、キャリーCOは“0”となり停止状態から、カウント状態に切り替わる。カウンタ280は、2分周クロックによって、+1アップ動作を行う。このときカウンタクロックが再び変化しても、カウンタ280のLOAD端子には、COによって“0”が入力されるため、無視される。その結果、アップ動作を継続して、255（10進）までアップを続ける。カウンタ280の値が255（10進数）に到達すると、キャリーCOは“1”になり、イネーブルEに“0”が入るために、停止する。そして、次に、カウンタクロックが入ると、上記の動作を繰り返す。以上の動作の結果、一度カウンタクロックが入ると基本クロックが 2×256 回＝512回入るまでSIG1がLレベルになってカウンタ16の更新が禁止され、その後更新が許可される。例えば、基本クロックが156Mb/sでカウンタクロックが連続的に入っている場合は、 $6.43\text{ns} \times 512 = 3.3\mu\text{s}$ に一度更新が許可されることになる。

【0095】図71、72に、LD駆動回路10の具体的回路図を示す。D/A変換回路のアナログ出力が電圧で与えられる時の回路を図71に、同出力が電流で与えられる時の回路を図72に示す。帯域切替回路284がトランジスタ60と62の間に設けられる点を除いて、図11を参照して説明した、電圧入力形および電流入力形のLD駆動回路と同じである。

【0096】図73に、帯域切替回路の回路図を示し、図74にその動作シーケンスを示す。本回路は、LD駆動回路の電流出力の周波数帯域を動作切替信号によって切り替える回路である。左右のトランジスタ60と62で駆動電流を決める電流源としてのカレントミラーが構成され、トランジスタ60にD/A変換回路のアナログ出力に応じた電流が入力され、トランジスタ62が出力側である。

【0097】帯域切替の基本原理は、このトランジスタ60、62のゲートの間に、RN3とCN3から成るRC型低域通過フィルタを挿入／削除する切替を行なうことにある。また、容量Cを接続する際に、電位の異なるCをいきなり接続すると充電電流が瞬間的に流れてゲートが不安定になり、出力電流の波形が乱れる可能性があることから、CN3の電位をあらかじめゲートと同電位にする回路を設けた。このような切替動作を行うために、SW1～3と、このスイッチを良好に動作させるためのシーケンス制御回路を有する。

【0098】以降、カレントミラーが広帯域となる高速立ち上げモードから、狭帯域となる切替動作を説明する。

・高速立ち上げモードでは、SW1＝ON，SW2＝O

FF, SW3=ON、により広帯域になっており、トランジスタ60, 62のゲートはスイッチSW1で短絡され、CN3はトランジスタ62のゲートとは接続されていないため、トランジスタ60, 62から成る通常のカレントミラーの構成となるので、周波数帯域が広い。

【0099】また、トランジスタ62と同じサイズのPch-MOS MM1は、同様にトランジスタ60とカレントミラーを構成し、トランジスタ62と同等の電流が流れる。さらにMM1の電流は、nch-MOS MM2に流れ、MM2とカレントミラーを構成するMM3に流れる電流がMM4に流れ、MM4のゲートレベルはトランジスタ62と等しくなる。このとき、SW1がON、SW2はOFFとなっていることから、CN3には、トランジスタ62のゲートと同じ電圧が現れるように、CN3を充電している。

【0100】・切替信号が、“1”→“0”に切り替わると、SW1をOFFし、容量CN3が解放され、その後、CN1, RN1で構成されるRC時定数回路とインバータを経て、N1が“0”→“1”に切り替わり、SW2がONになってCN3をトランジスタ62のゲートに接続する。

・N1が“0”→“1”に切り替わると、その後、CN2, RN2で構成されるRC時定数回路とインバータを経て、N2が“1”→“0”に切り替わり、RN3を短絡していたSW3がOFFになって、トランジスタ60, 62のゲート間にRN3が見えるようになり、トランジスタ60, 62のゲート間にRN3, CN3から成る低域通過フィルタが挿入されることになる。

【0101】以上の動作により、帯域切替回路は、駆動電流を制御するカレントミラーに低域通過フィルタを挿入／削除する切替を行うことにより、周波数帯域を切り替えることができる。上述の帯域切替回路はRC時定数回路を挿入するものであったが、図75の帯域切替回路はRN3だけを付加するものである。この回路は、帯域切替部としては図73のRN3の抵抗と、これを制御する回路だけを利用している。回路を構成する各トランジスタには容量成分があることから、Rだけの付加／削除を切り替えるだけで、帯域切替が実現できる。

【0102】図76の帯域切替回路はCN3を付加するものである。この回路は、帯域切替部としては上述の図73のCN3の容量と、これを制御する回路だけを利用している。回路を構成する各トランジスタには抵抗成分あるいは、電流源としての電流制限機能があることから、Cだけの付加／削除を切り替えるだけで、帯域切替が実現できる。

【0103】更新周期の短かい立ち上げモードと更新周期の長い安定モードとの動作モードの切替およびLD駆動回路の周波数特性の切替のため或いはそれらのいずれか一方の切替のための動作切替信号SIG2については、図7を参照して説明した粗密切替回路26が出力す

る信号がそのまま使用できる。或いは、図77に示すように、図7の回路26は、粗密切替および動作モードの切替のための粗密／動作切替信号を出力する粗密／動作切替回路として使用することができる。

【0104】図18に示した粗密切替回路76、図25に示した粗密切替回路82、図28に示した粗密切替回路88、図34, 35に示した粗密切替回路108および図37に示した粗密切替回路も同様に、上記の動作切替回路または粗密／動作切替回路として使用することができる。後者の例をそれぞれ図78～図82にそれぞれ示す。図83に示すように、動作切替信号または粗密／動作切替信号を外部から入力するようにしても良い。

【0105】粗密／動作切替回路の他の例を図84に示す。本回路は、アナログ回路によって比較器出力が変わるのを検出して、切替信号を生成する。中には、チャージポンプを使用した同符号連続検出回路を有し、比較結果が変わる状態を検出する。チャージポンプ回路286は、容量C1と、定電流源I1とpch-MOS-FET M2によって定電流I1を出力できるM1と、入力信号によってスイッチング動作ができるM3と、定電流源I2とnch-MOS-FET M6によって定電流I2を出力できるM5と、入力信号によってスイッチング動作ができるM4と、リセット信号がLOWのときにONして容量C1を放電するnch-MOS-FET M7を有する。

【0106】チャージポンプ制御回路288は、下記3つの機能を有する。

・比較器出力が“1”=Upの場合、カウンタクロックがHighになるとき（カウンタ更新時）にM3をONして、容量C1を放電するように制御するので、該チャージポンプ回路出力VCをGndに向かって近づく。

・比較器出力が“0”=Downの場合、カウンタクロックがHighになるとき（カウンタ更新時）にM4をONして、容量C1を充電するように制御するので、チャージポンプ回路出力VCをVddに向かって近づく動作をする。

・リセット信号RSTがLowのときに、M7がONして、該チャージポンプ回路出力VCをGndに短絡し、C1に初期値を与える。

【0107】レベル比較部280は、電源VddとGNDの間の電圧を抵抗R1～3で分圧する抵抗分圧回路を有し、差動比較器2つとOR回路によって、チャージポンプ回路出力VCが $R1 / (R1 + R2 + R3) \sim (R1 + R2) / (R1 + R2 + R3)$ の間にあること（ $Vdd = 3V$, $R1 = R2 = R3 = 5k\Omega$ では、 $VC = 1 \sim 2V$ ）を検出して、UP/DOWNが混じったことを検出する。

【0108】図84の切替回路の動作を図85に示す。リセット信号RSTがHighになると、M7がONして、チャージポンプ回路が動作を始める。初め、光出力

回路の起動時に光出力が基準値より小さいときには、比較器出力が“1”=Upとなって、カウンタクロックがHighになるとき（カウンタ更新時）にM3をONして、容量C1を放電するので、チャージポンプ回路出力VCはGndのままである。

【0109】そして、基準値に到達して、比較器出力が“1”=Upと“0”=Downの両方を出すようになると、M3をONする頻度が上がるため、容量C1を放電するので、チャージポンプ回路出力VCはVDDとGndの中間値をとる。そのため、レベル比較部288の出力はHighレベルになる。最後のラッチ290によって、リセット解除後に、立ち上げ動作を1回だけ許可する。

【0110】図86は更新許可制御回路276の他の例を示す。図70との相違は、図70では基本クロックが分周器282へ直接入力されているのに対して、図86では基本クロックとデータの論理積が分周器282へ入力される点である。すなわち、図70の更新許可制御回路では更新許可後、次の更新許可までの期間（禁止期間）が基本クロックをカウントして決定されていたのに対して、図86の更新許可制御回路では、“1”であるデータの数のカウントして禁止期間が決定される。連続伝送の場合は、どちらもほぼ同様の動作をするが、バースト伝送の場合、図86の回路によれば、セルが存在しない期間では禁止期間が長くなる。

【0111】更新許可制御回路276のさらに他の例を図87に示す。本回路では、更新頻度を制限するために、モニタ値と基準値を比較した結果が、アップになる回数とダウンになる回数の差をカウントし、この値が一定値になるまでの間、更新を禁止する。この回路の例では、一定値としてカウンタの11111111（255@10進数）になってキャリーがあがった時に相当する。比較結果にアップ／ダウンが混じっているときは、光出力が目標付近にいることを示す。このとき、カウントは上下して、カウンタ内の値は大きく動くことがなくなって、不要な更新を防ぐ。

【0112】図88は図87の回路の動作を示すタイミングチャートである。切替信号SIG2がHレベルである間はSIG1がHレベルになりカウンタクロックに応じてカウンタ16の更新が行なわれる。その後は、カウンタ292の値が最大値+255または最小値+0になったときだけカウンタ16の更新が行なわれる。カウンタ292の値が+255または+0になったとき128がロードされる。

【0113】図89は更新許可制御回路276のさらに他の例を示す。この例は、モニタ／基準値の比較結果の履歴におけるアップ／ダウンの回数をカウンタ294、296で各々カウントし、どちらかが一定数を越えたところで更新するものである。図90に図88の更新許可制御回路の動作を示す。図91は更新許可制御回路27

6のさらに他の例を示す。この例は、バーストのセルの有無を示す信号を用いて、1セルが送信されるごとに1回更新するものである。これにより更新回数を制限できる。図92にこの更新許可制御回路の動作を示す。バースト伝送においてセルがある時間帯を示すバーストセル信号を装置から送り、これによって、安定化時に更新頻度を低減することができる。このため、更新許可制御回路の入力としては、動作切替信号SIG2、バーストセル信号、および、カウンタクロックがある。動作モードが高速立ち上げのときは、更新許可制御信号SIG1に“1”を出力し、安定化モードのときには、バーストセルが“1”になったときに、“1”=更新許可を出力し、カウンタクロックが一度入ると、“0”=禁止を出力する。以上の動作によって、更新頻度を低減できるので、波形改善効果がある。

【0114】

【発明の効果】以上説明したように本発明によれば、起動時の立ち上げ時間が短かく、バースト信号の伝送に適し、光出力が安定した後の微少変動およびD/A変換によるグリッジの影響の少ない光出力制御回路が提供される。

【図面の簡単な説明】

【図1】従来の光出力制御回路のブロック図である。

【図2】図1の回路の動作を説明するグラフである。

【図3】バースト信号を示す図である。

【図4】本発明の第1の実施例のブロック図である。

【図5】図4の回路の動作を説明するタイミングチャートである。

【図6】カウンタ16の一例の回路図である。

【図7】粗密切替回路26の一例の回路図である。

【図8】図7の回路の動作を示すタイミングチャートである。

【図9】クロック制御回路28の一例の回路図である。

【図10】図9の回路の動作を示すタイミングチャートである。

【図11】LD駆動回路10の一例の回路図である。

【図12】本発明の第2の実施例のブロック図である。

【図13】モニタ部20の一例の回路図である。

【図14】第2の実施例の動作を示すタイミングチャートである。

【図15】第3の実施例の動作を示す図である。

【図16】第3の実施例のブロック図である。

【図17】第2の実施例で用いられるカウンタ16の一例の回路図である。

【図18】粗密切替回路76の一例の回路図である。

【図19】図18の回路の動作を示すタイミングチャートである。

【図20】本発明の第4の実施例の動作を示す図である。

【図21】第4の実施例の動作を説明するグラフであ

る。

【図 22】第 4 の実施例のブロック図である。

【図 23】第 4 の実施例で用いられるカウンタ 16 の一例の回路図である。

【図 24】第 4 の実施例の動作を示すタイミングチャートである。

【図 25】粗密切替回路 82 の回路図である。

【図 26】本発明の第 5 の実施例の動作を示す図である。

【図 27】第 5 の実施例のブロック図である。

【図 28】粗密切替回路 88 の回路図である。

【図 29】図 28 のレベルシフト用電圧源 98, 100 の一例の回路図である。

【図 30】レーザダイオードの電流-光出力特性を示すグラフである。

【図 31】本発明の第 6 の実施例のブロック図である。

【図 32】本発明の第 7 の実施例の動作を示す図である。

【図 33】第 7 の実施例のブロック図である。

【図 34】粗密切替回路 108 の一例の回路図である。

【図 35】粗密切替回路 108 の他の例の回路図である。

【図 36】本発明の第 8 の実施例のブロック図である。

【図 37】粗密切替回路 116 の一例の回路図である。

【図 38】本発明の第 9 の実施例のブロック図である。

【図 39】本発明の第 10 の実施例における粗密切替回路の一例の回路図である。

【図 40】本発明の第 11 の実施例のブロック図である。

【図 41】粗密切替回路 124 の一例の回路図である。

【図 42】本発明の第 12 の実施例のブロック図である。

【図 43】粗密切替回路 126 の一例の回路図である。

【図 44】本発明の第 13 の実施例のブロック図である。

【図 45】粗密切替回路 128 の一例の回路図である。

【図 46】本発明の第 14 の実施例における粗密切替回路 230 の一例の回路図である。

【図 47】クロック制御回路 72 の一例の回路図である。

【図 48】図 48 の回路の動作を示すタイミングチャートである。

【図 49】データ検出回路 232 の一例の回路図である。

【図 50】モニタ部 243 の一例の回路図である。

【図 51】カウンタ 16 の他の例の回路図である。

【図 52】クロック制御回路 72 の第 2 の例の回路図である。

【図 53】図 52 の回路の動作を示すタイミングチャートである。

【図 54】クロック制御回路 72 の他の例を示す回路図である。

【図 55】データ断検出回路 250 の一例の回路図である。

【図 56】クロック制御回路 72 のさらに他の例の回路図である。

【図 57】クロック制御回路のさらに他の例の回路図である。

【図 58】データ検出回路 256 の一例の回路図である。

【図 59】図 57 の A ~ J 点の信号を示すタイミングチャートである。

【図 60】本発明の他の実施例のブロック図である。

【図 61】図 60 の実施例における LD 駆動回路 10 の回路図である。

【図 62】図 60 の実施例におけるカウンタ 16 の回路図である。

【図 63】安定時の制御状態を示す図である。

【図 64】D/A 変換のグリッジを示す図である。

【図 65】本発明のさらに他の実施例のブロック図である。

【図 66】図 65 の実施例の動作を示すタイミングチャートである。

【図 67】本発明のさらに他の実施例の動作を示すタイミングチャートである。

【図 68】前述の実施例のブロック図である。

【図 69】本発明のさらに他の実施例のブロック図である。

【図 70】更新許可制御回路 276 の一例の回路図である。

【図 71】LD 駆動回路の一例の回路図である。

【図 72】LD 駆動回路の他の例の回路図である。

【図 73】帯域切替回路の一例の回路図である。

【図 74】図 73 の回路の動作を示すタイミングチャートである。

【図 75】帯域切替回路の他の例の回路図である。

【図 76】帯域切替回路のさらに他の例の回路図である。

【図 77】本発明のさらに他の実施例のブロック図である。

【図 78】本発明のさらに他の実施例のブロック図である。

【図 79】本発明のさらに他の実施例のブロック図である。

【図 80】本発明のさらに他の実施例のブロック図である。

【図 81】本発明のさらに他の実施例のブロック図である。

【図 82】本発明のさらに他の実施例のブロック図である。

【図 8 3】本発明のさらに他の実施例のブロック図である。

【図 8 4】粗密動作切替回路の他の例を示す回路図である。

【図 8 5】図 8 4 の回路の動作を示すタイミングチャートである。

【図 8 6】更新許可制御回路 2 7 6 の他の例の回路図である。

【図 8 7】更新許可制御回路 2 7 6 のさらに他の例の回路図である。

【図 8 8】図 8 7 の回路の動作を示すタイミングチャートである。

【図 8 9】更新許可制御回路 2 7 6 のさらに他の例の回

路図である。

【図 9 0】図 8 9 の回路の動作を示すタイミングチャートである。

【図 9 1】更新許可制御回路 2 7 6 のさらに他の例の回路図である。

【図 9 2】図 9 1 の回路の動作を示すタイミングチャートである。

【符号の説明】

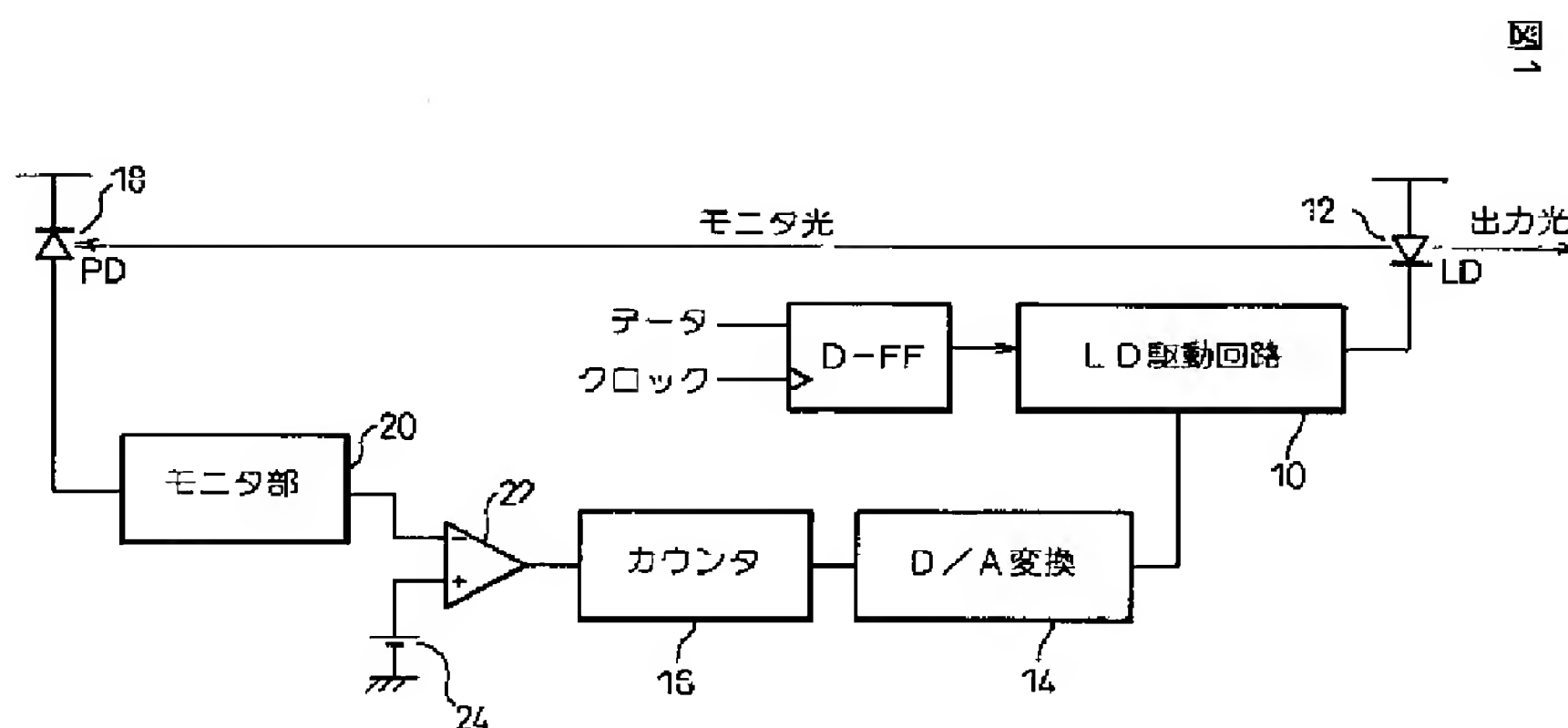
1 0…フォトダイオード

1 2…レーザダイオード

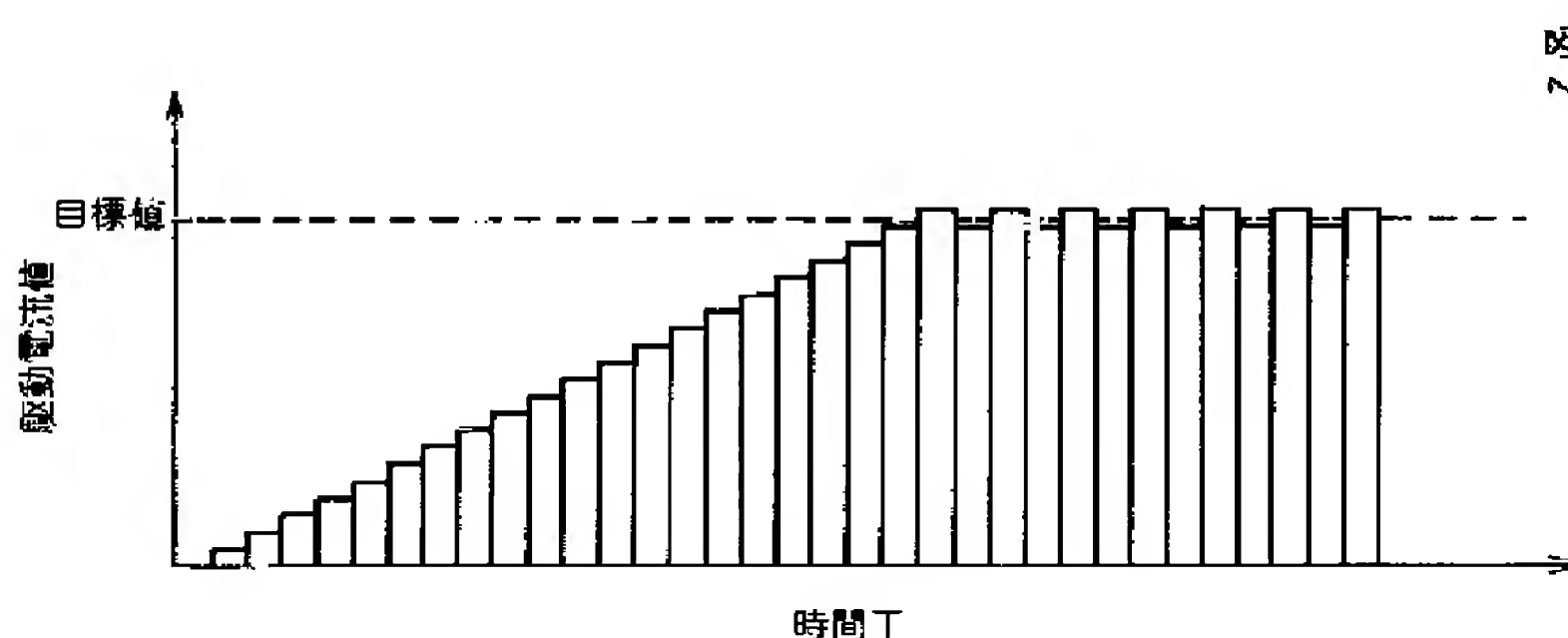
2 2…比較器

2 4…基準電圧源

【図 1】



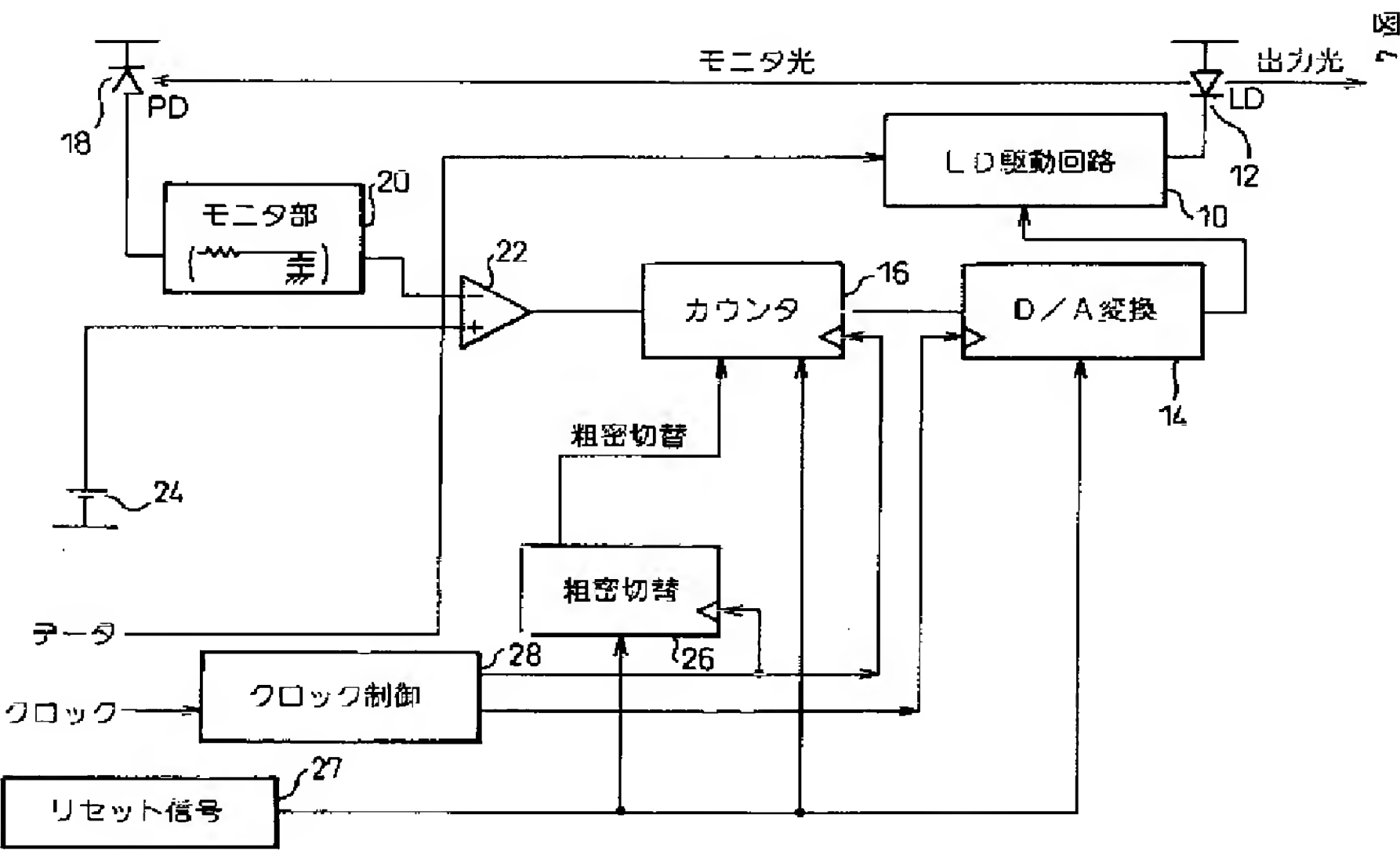
【図 2】



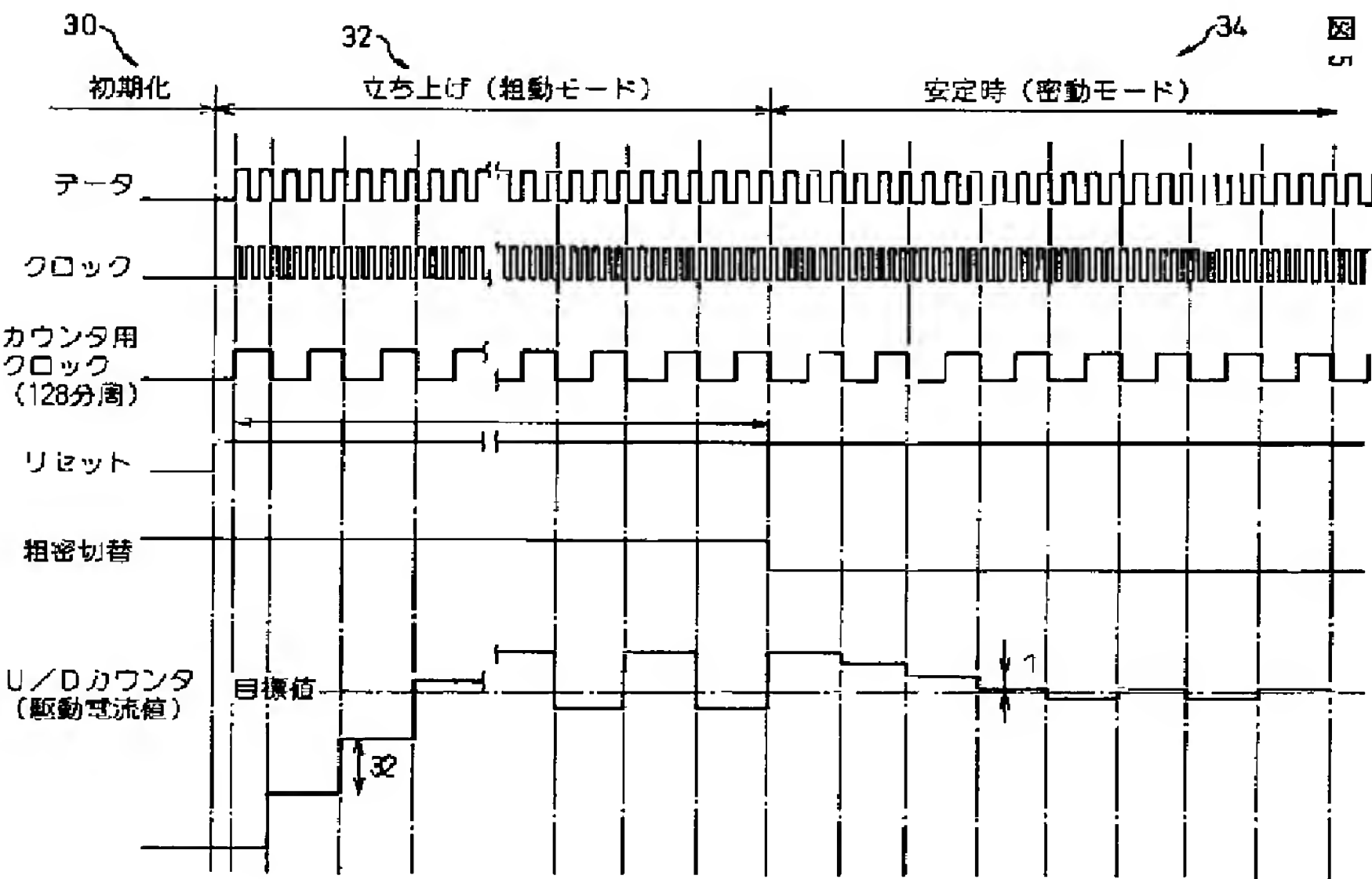
【図 3】



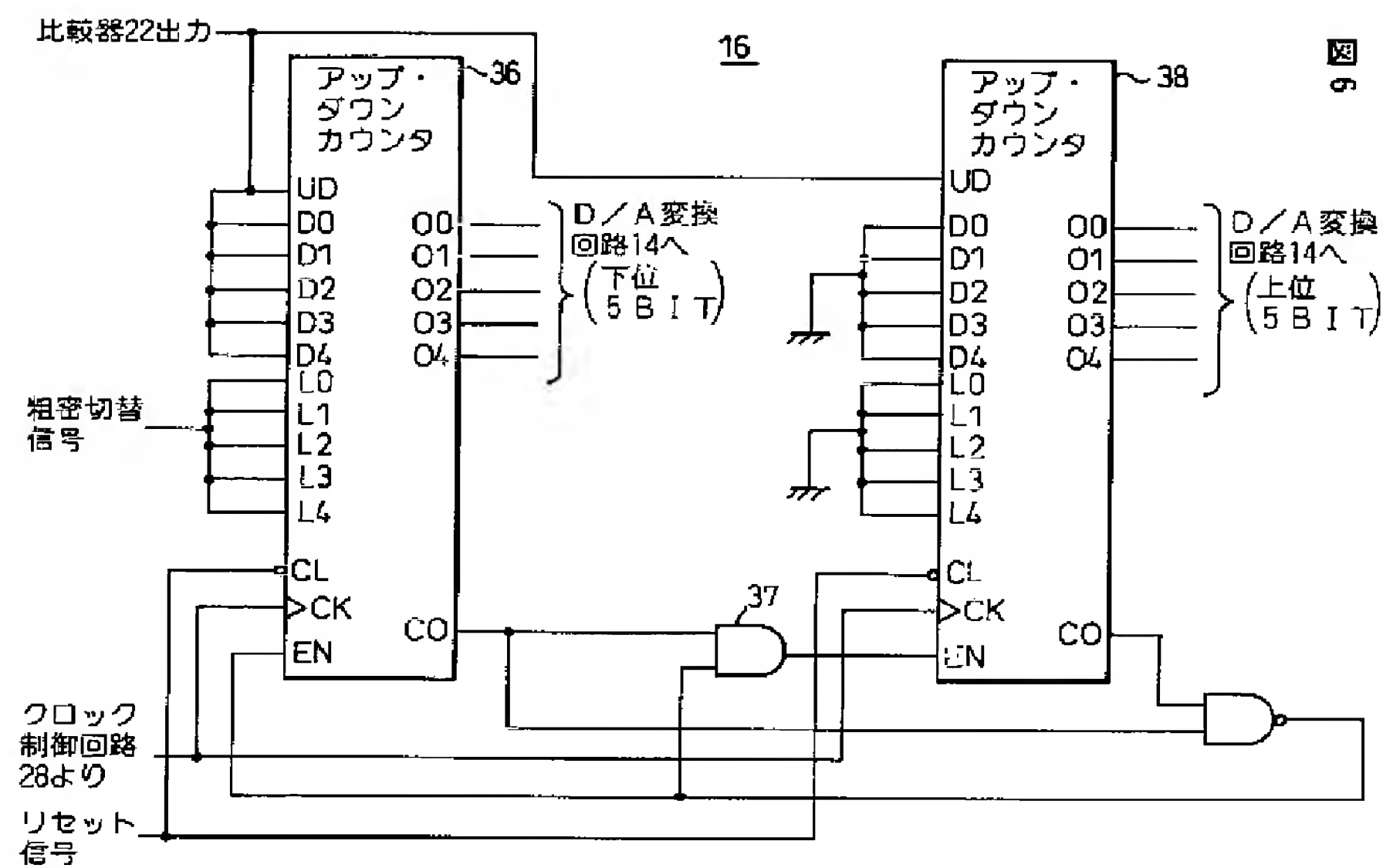
【図 4】



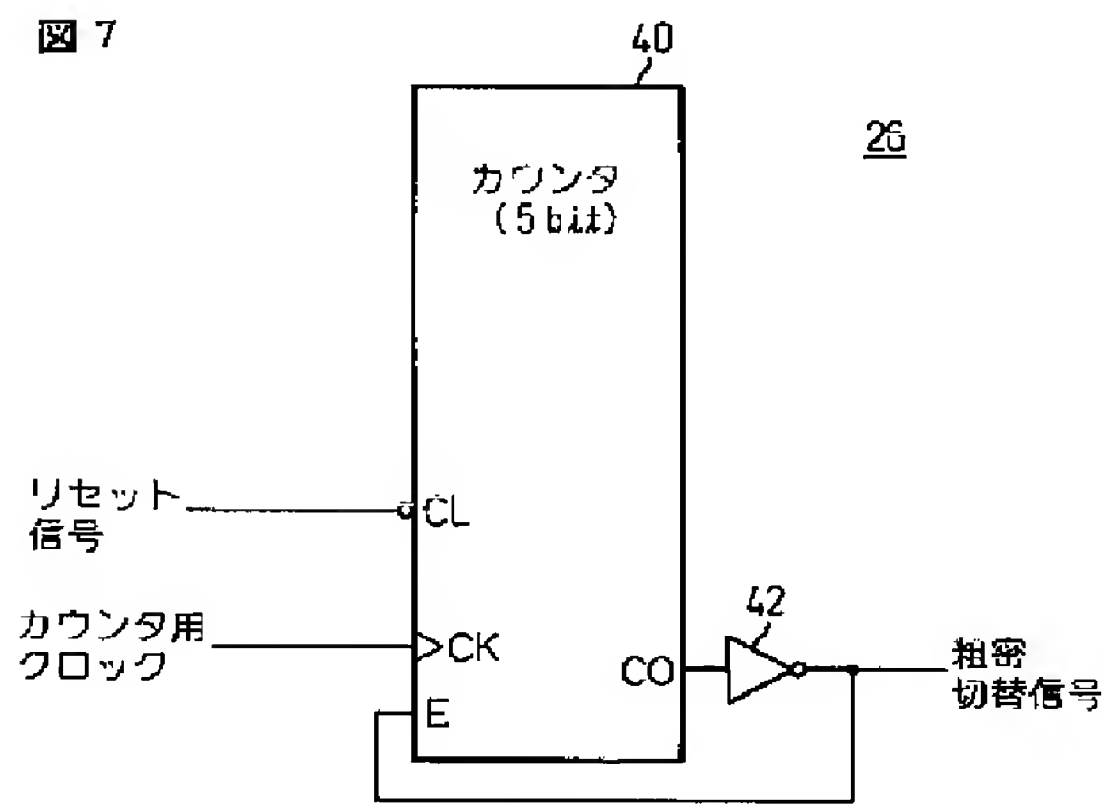
【図 5】



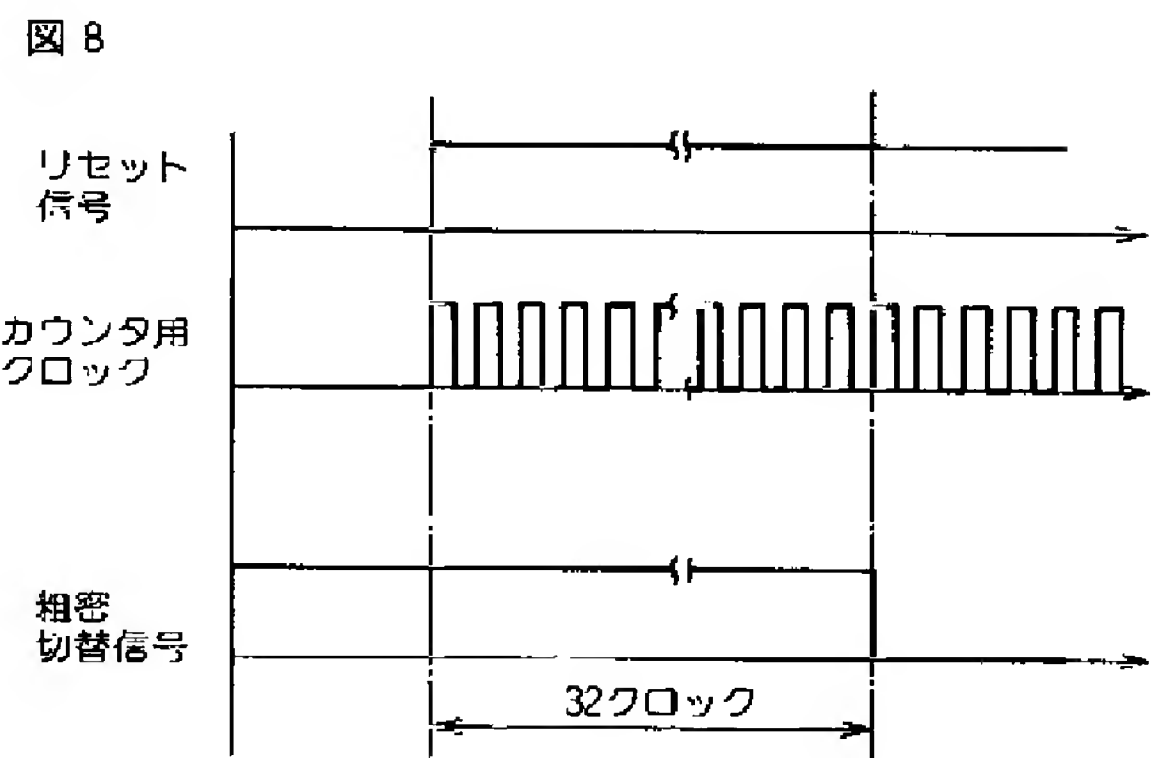
【図 6】



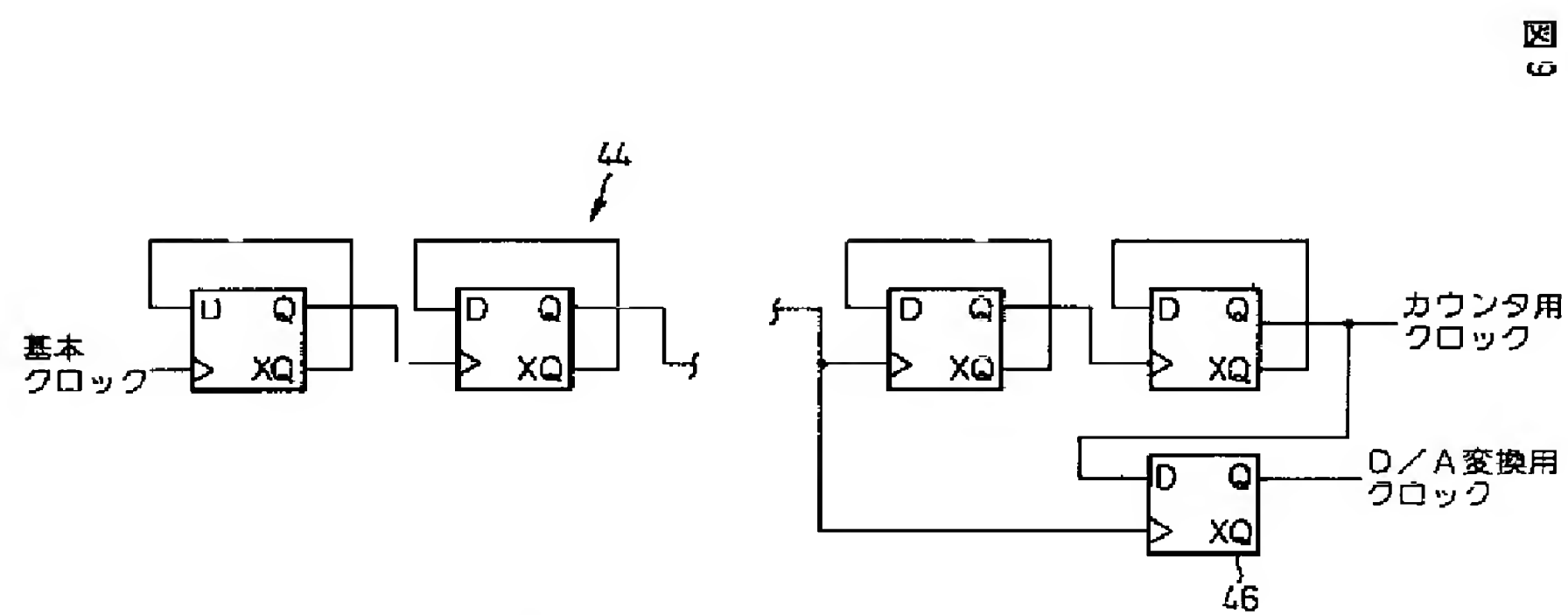
【図 7】



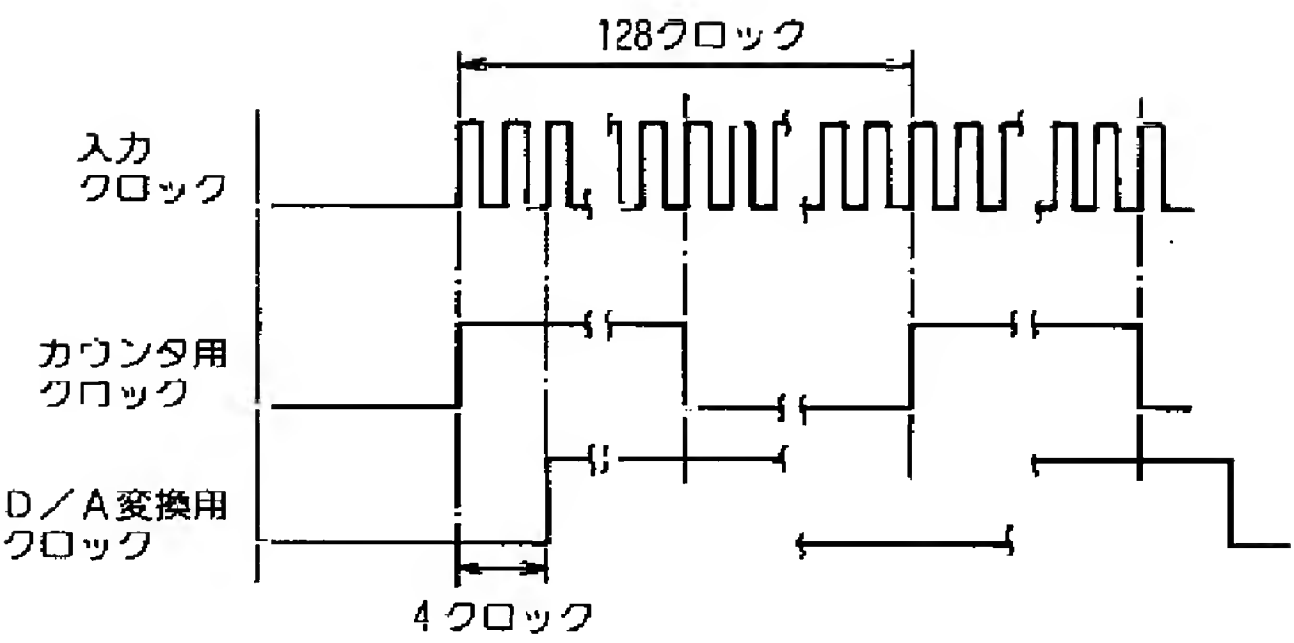
【図 8】



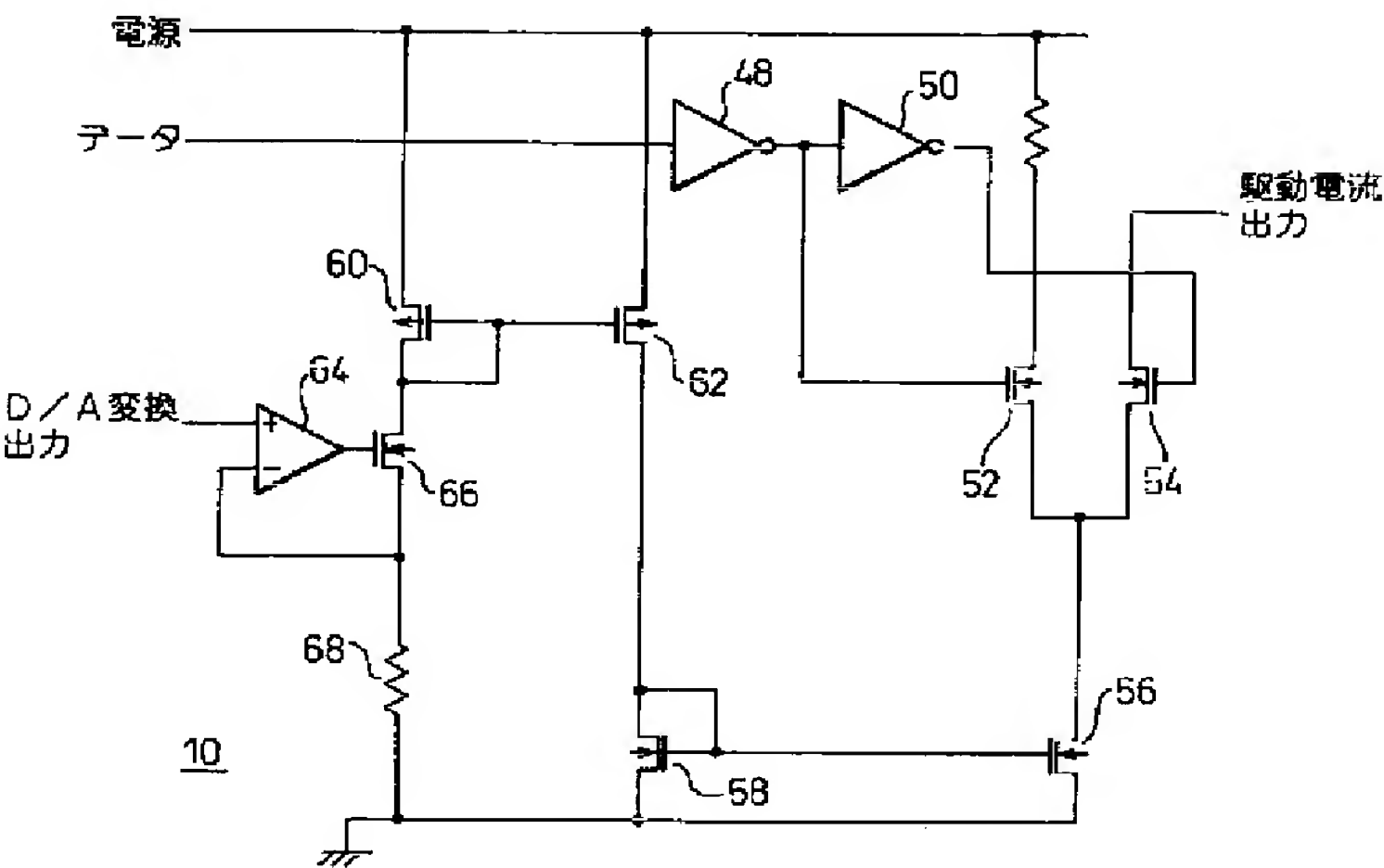
【図 9】



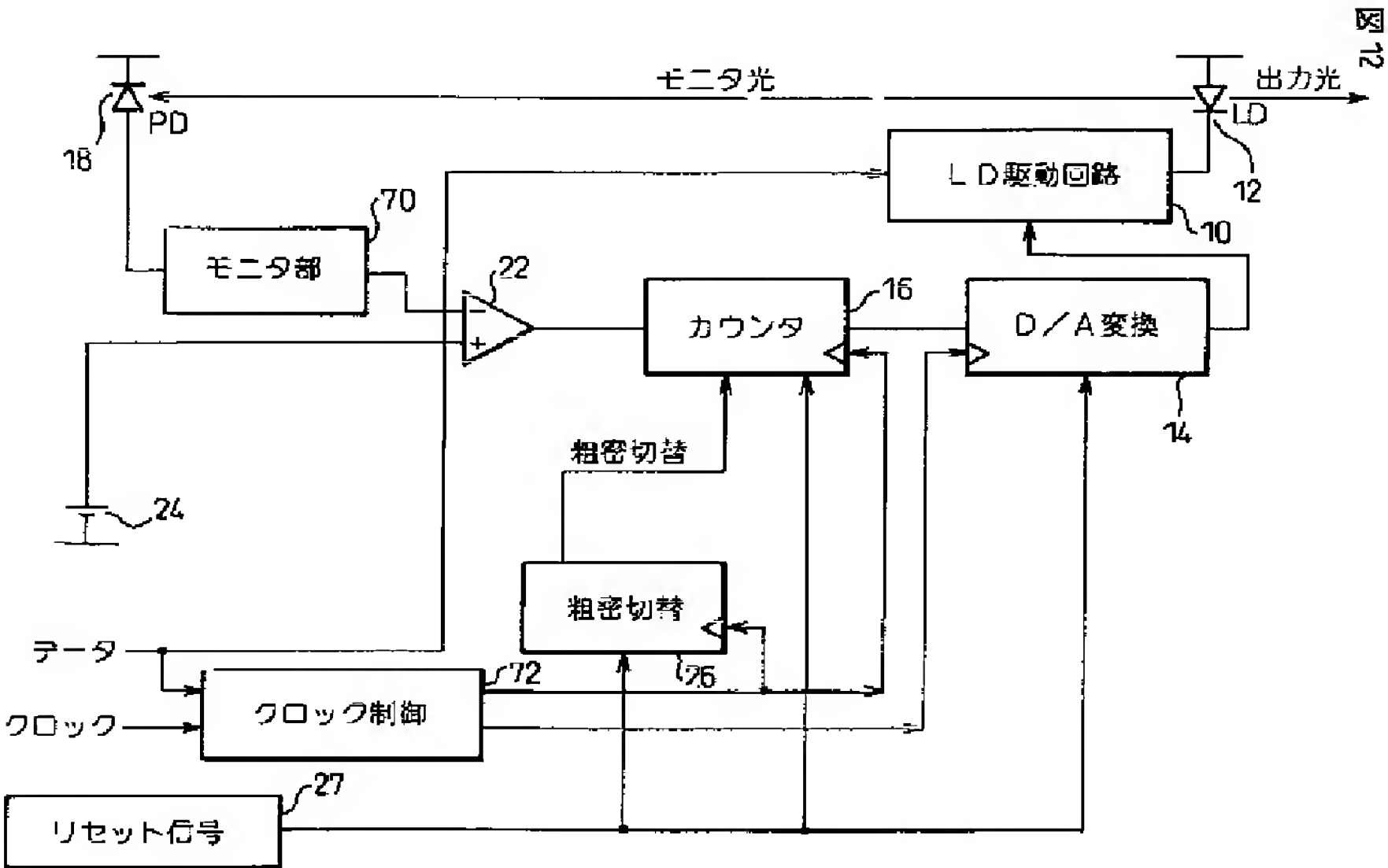
【図10】



【図11】

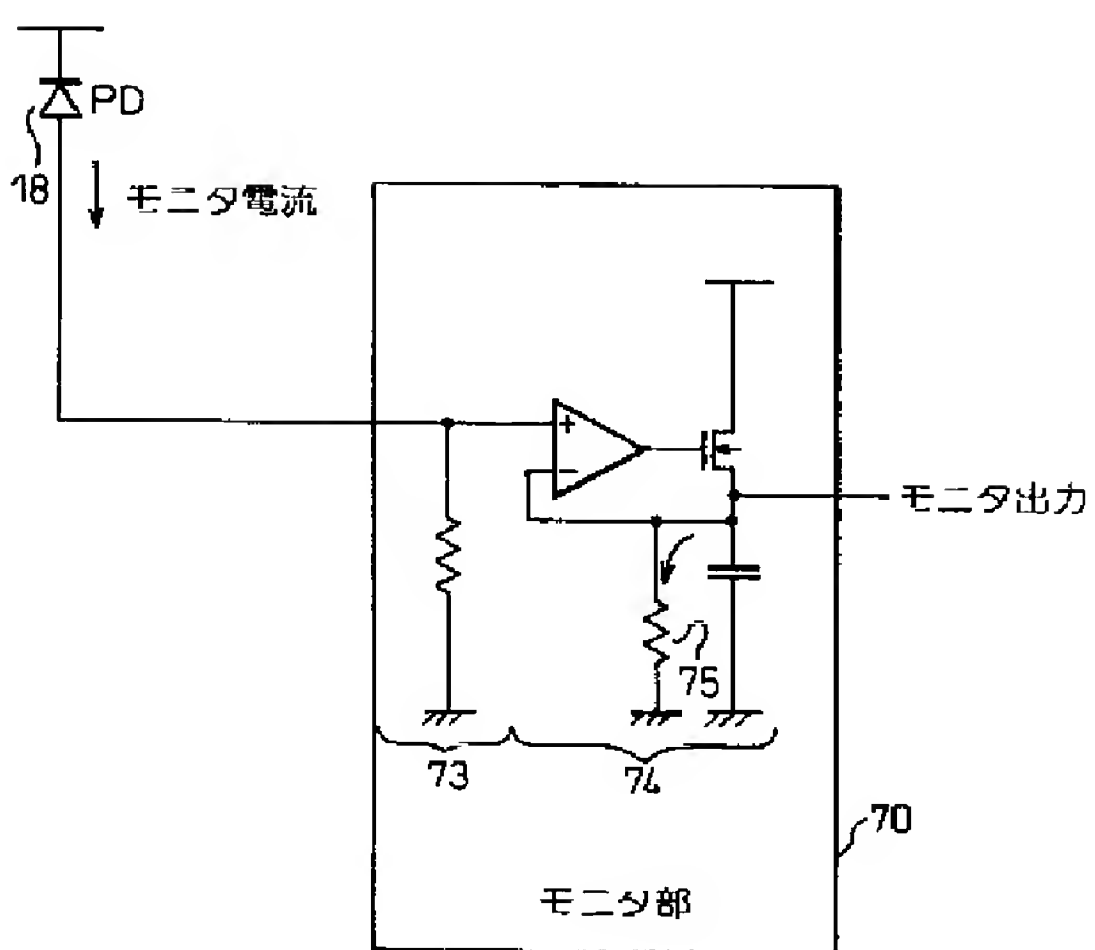


【図12】



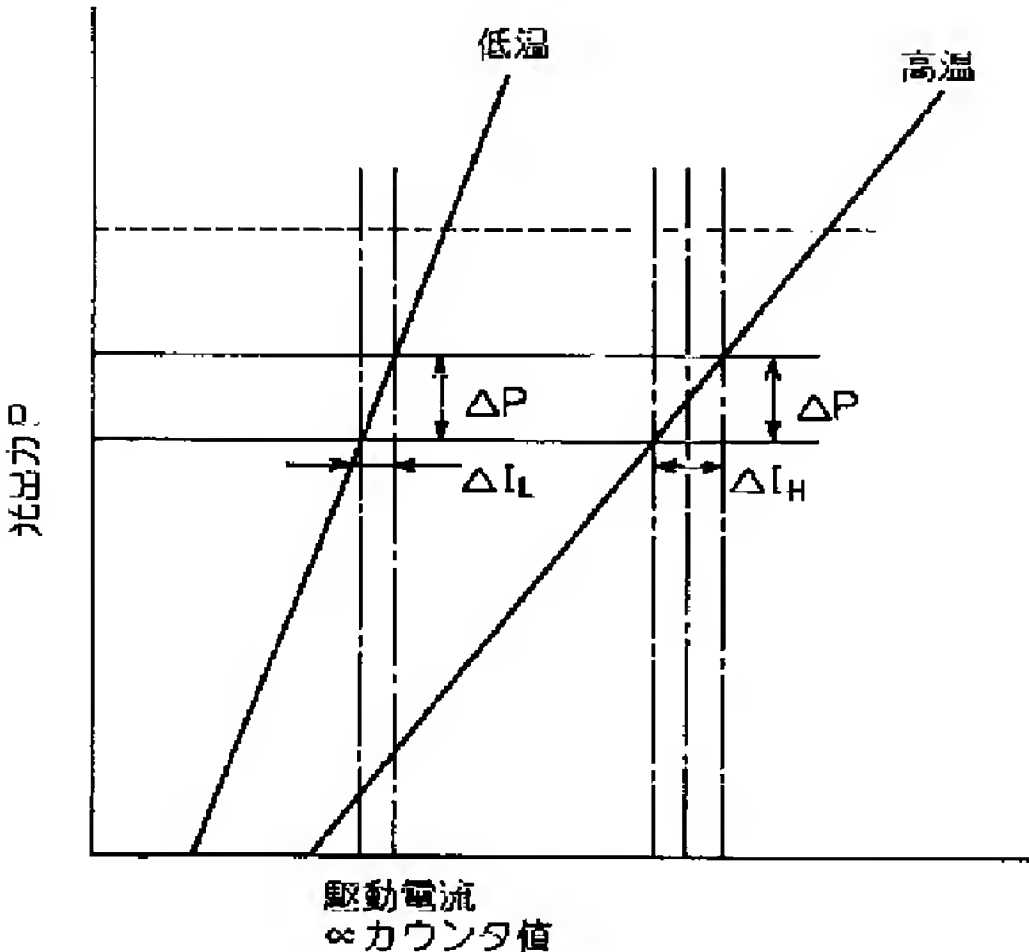
【図13】

図13

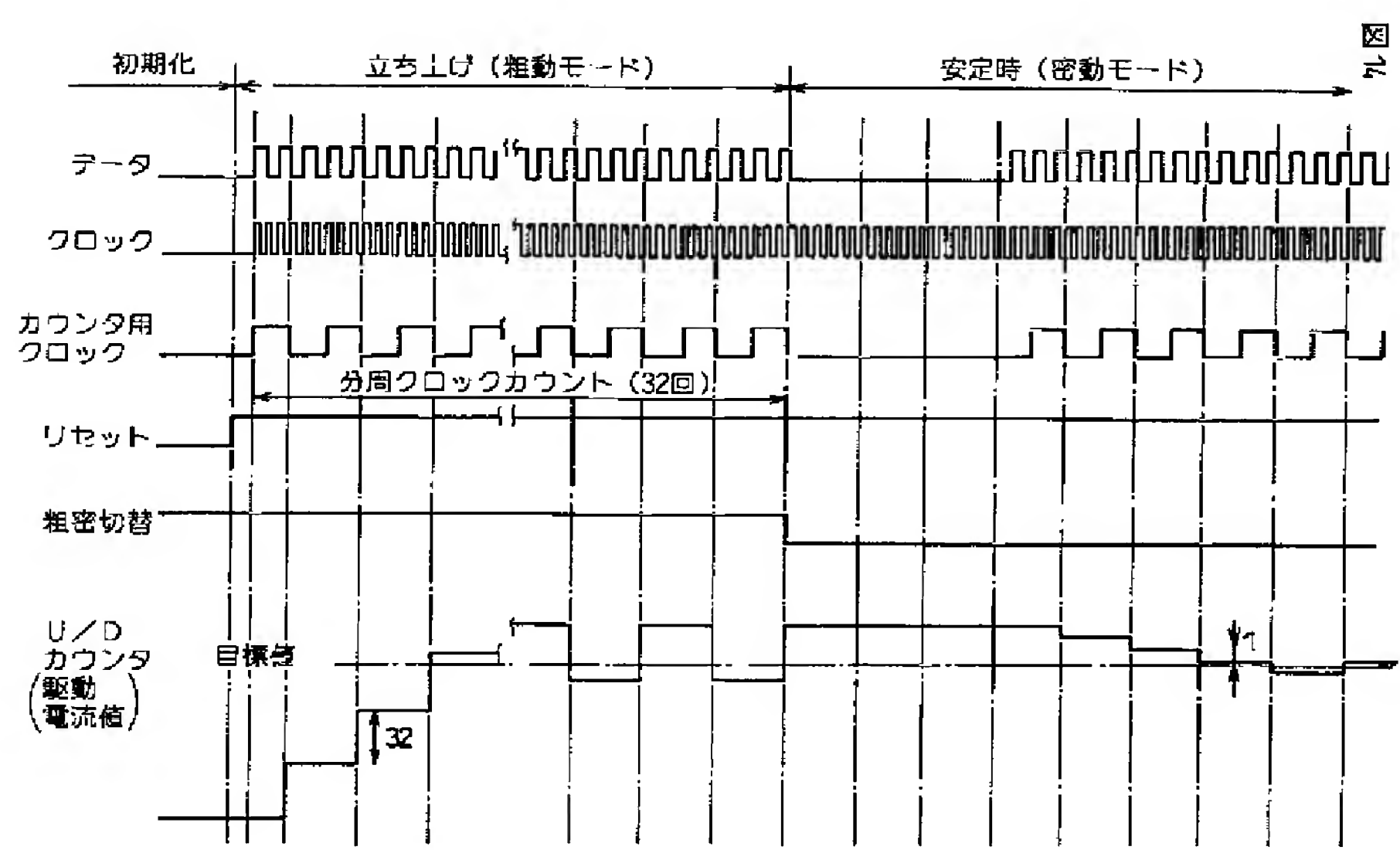


【図30】

図30



【図14】



【 図 1 5 】

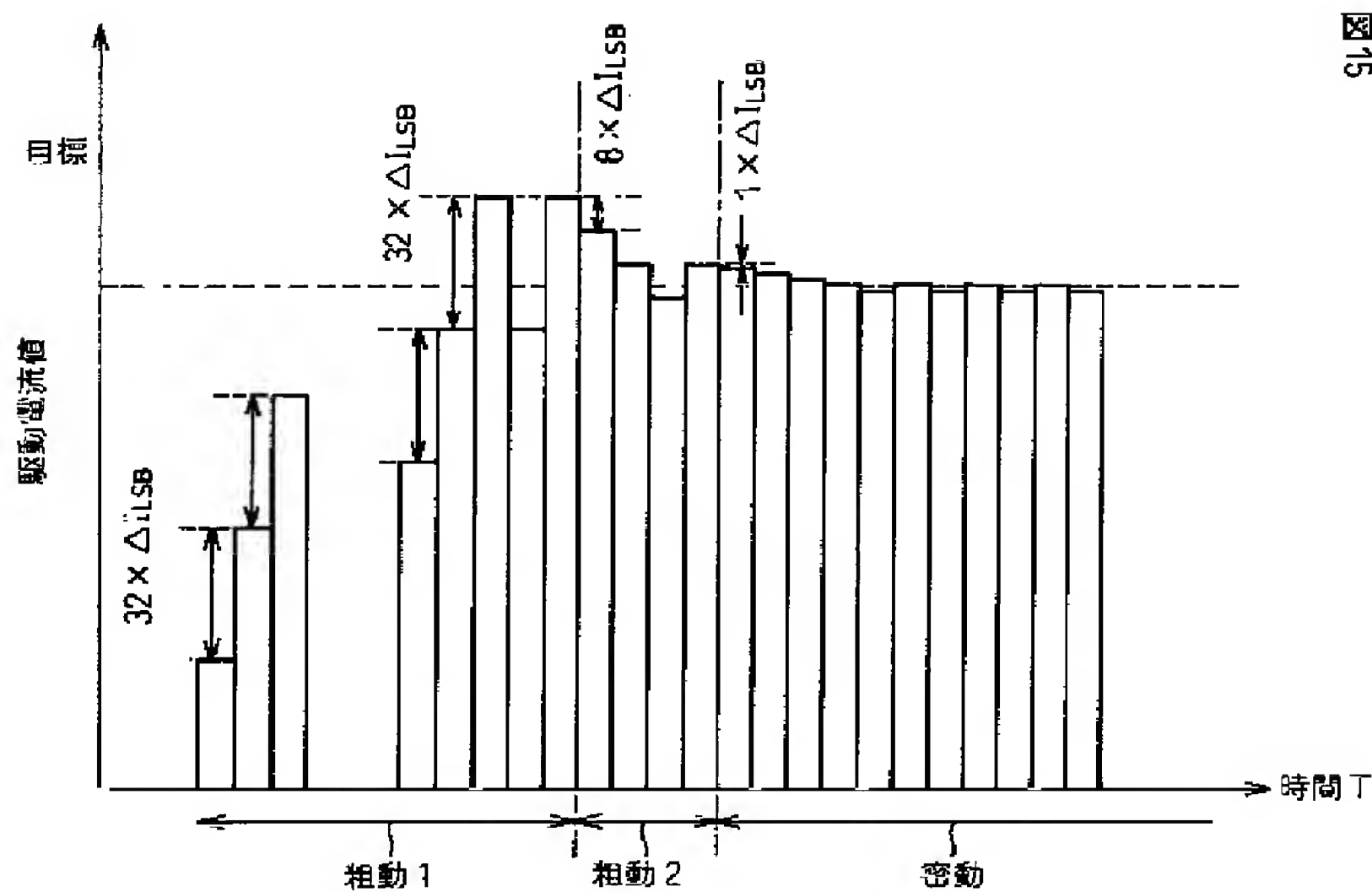


図 15

【 図 1 6 】

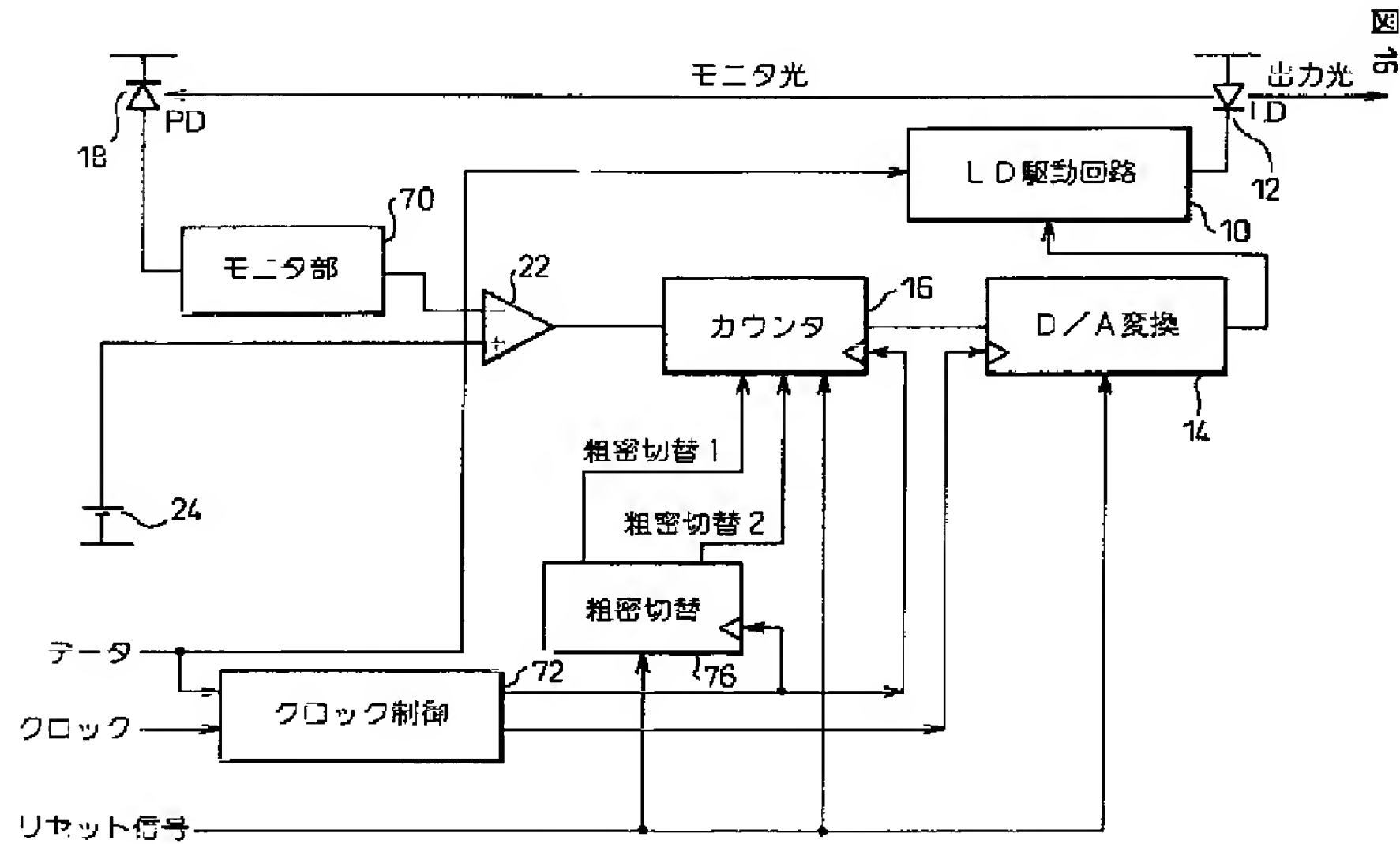


図 16

【 図 3 4 】

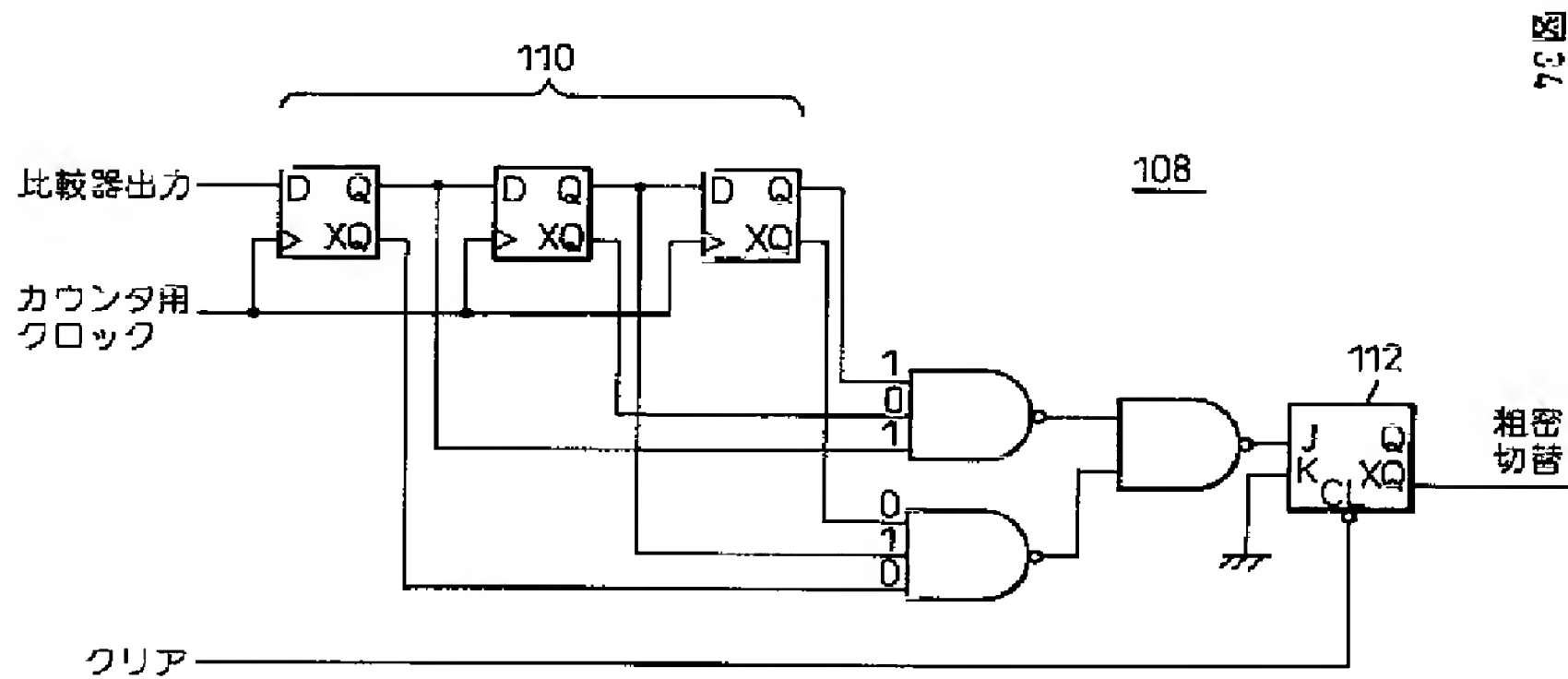


図 34

【 図 1 7 】

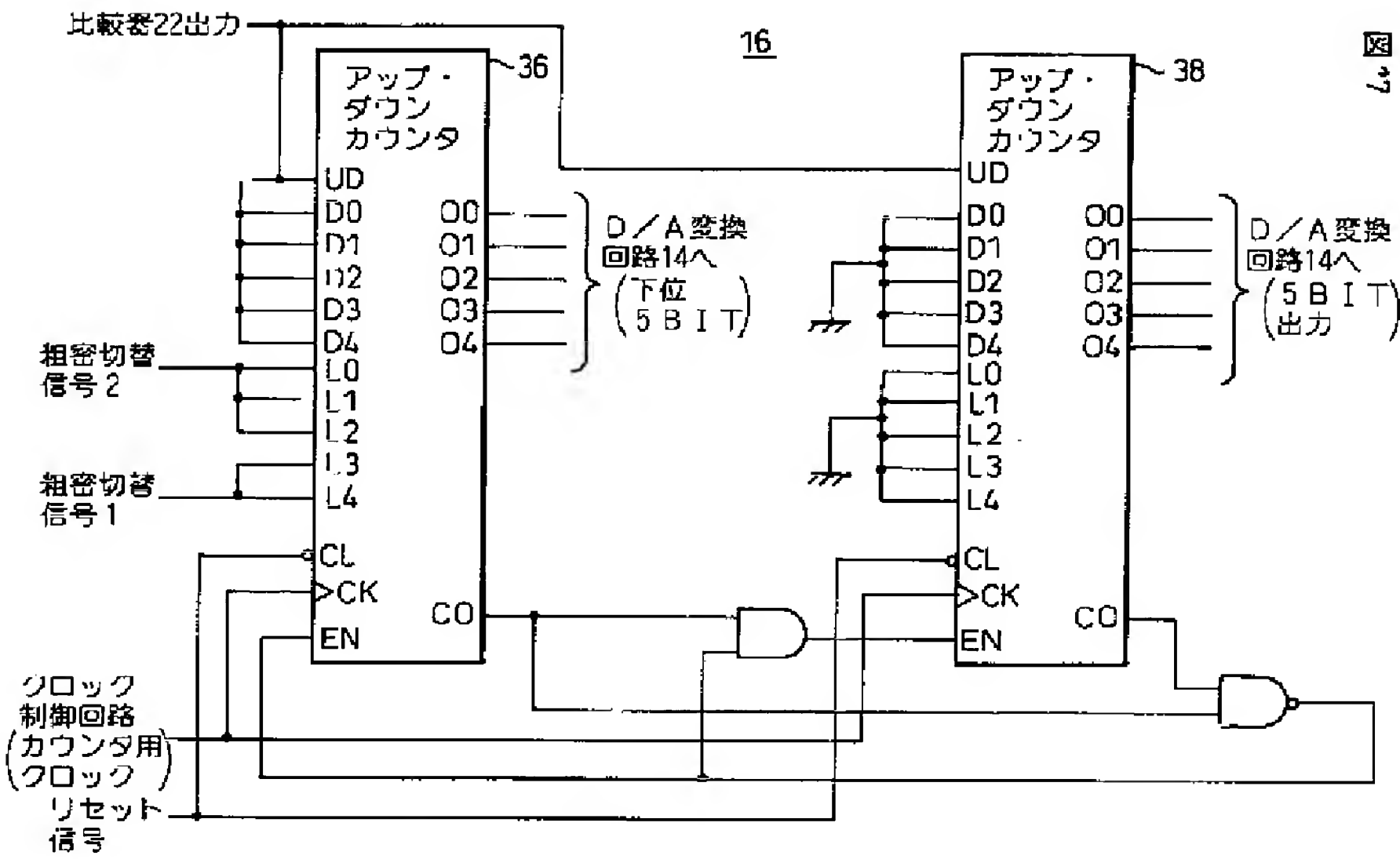
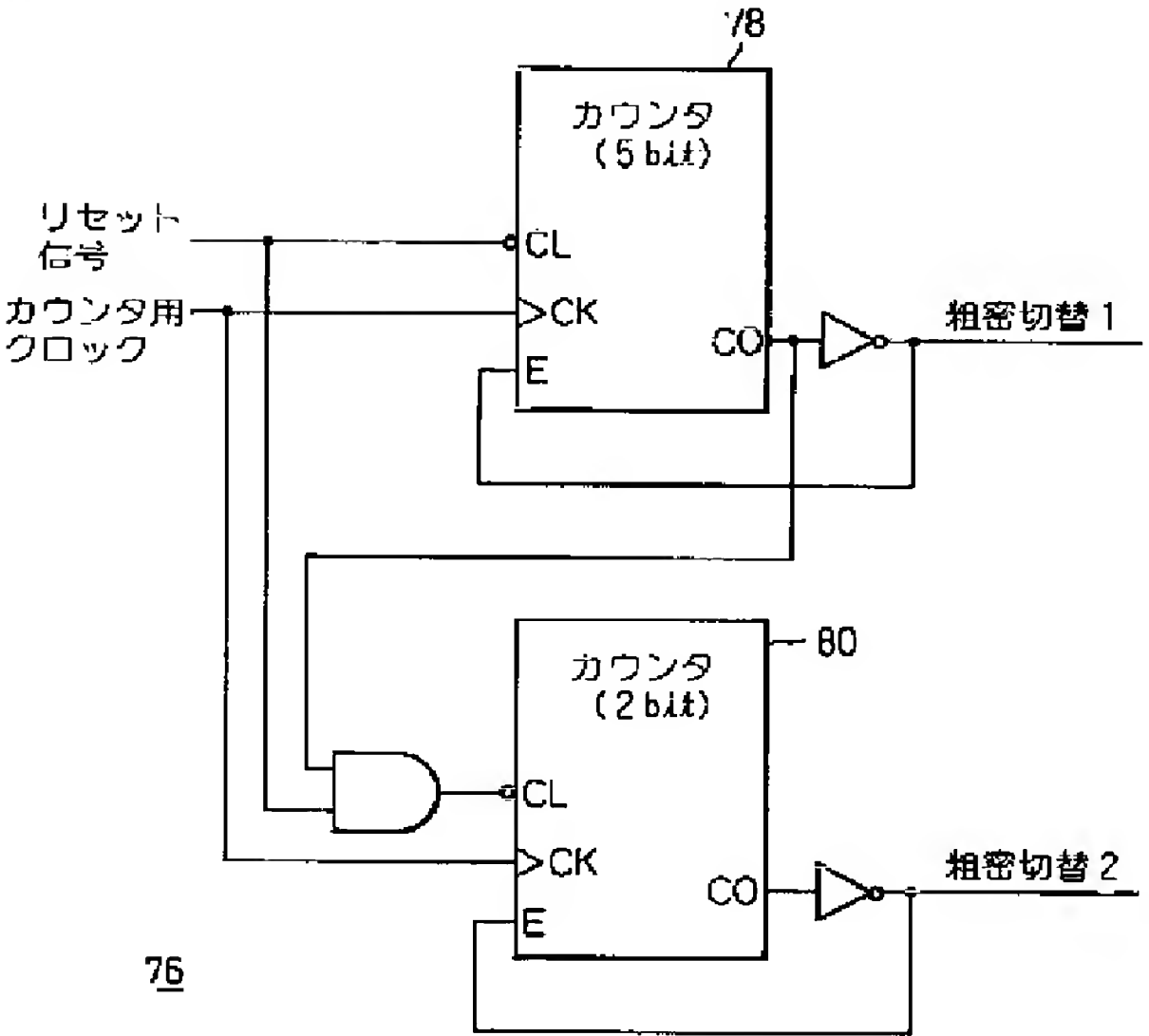


図 17

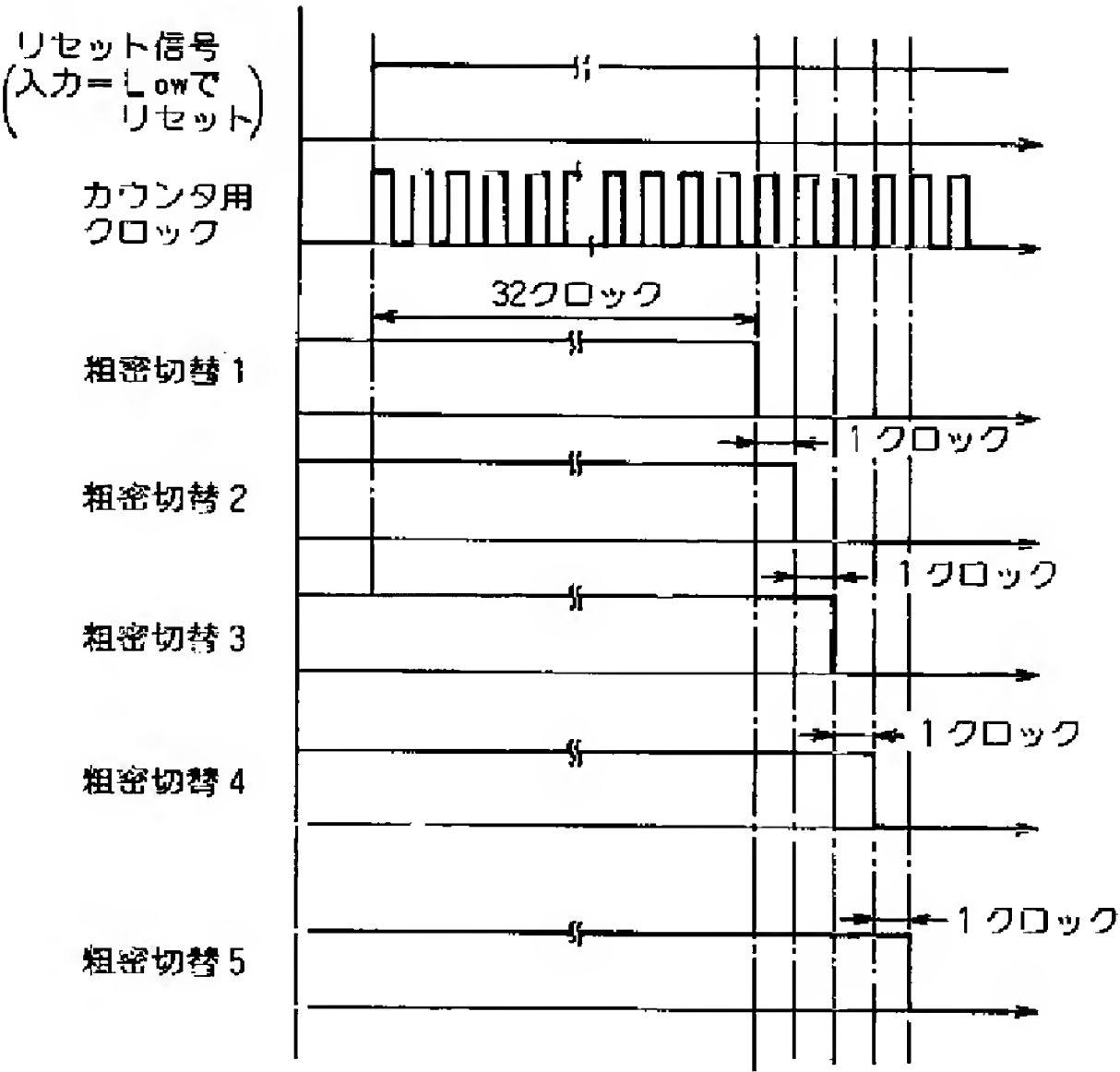
【 図 1 8 】

図 18

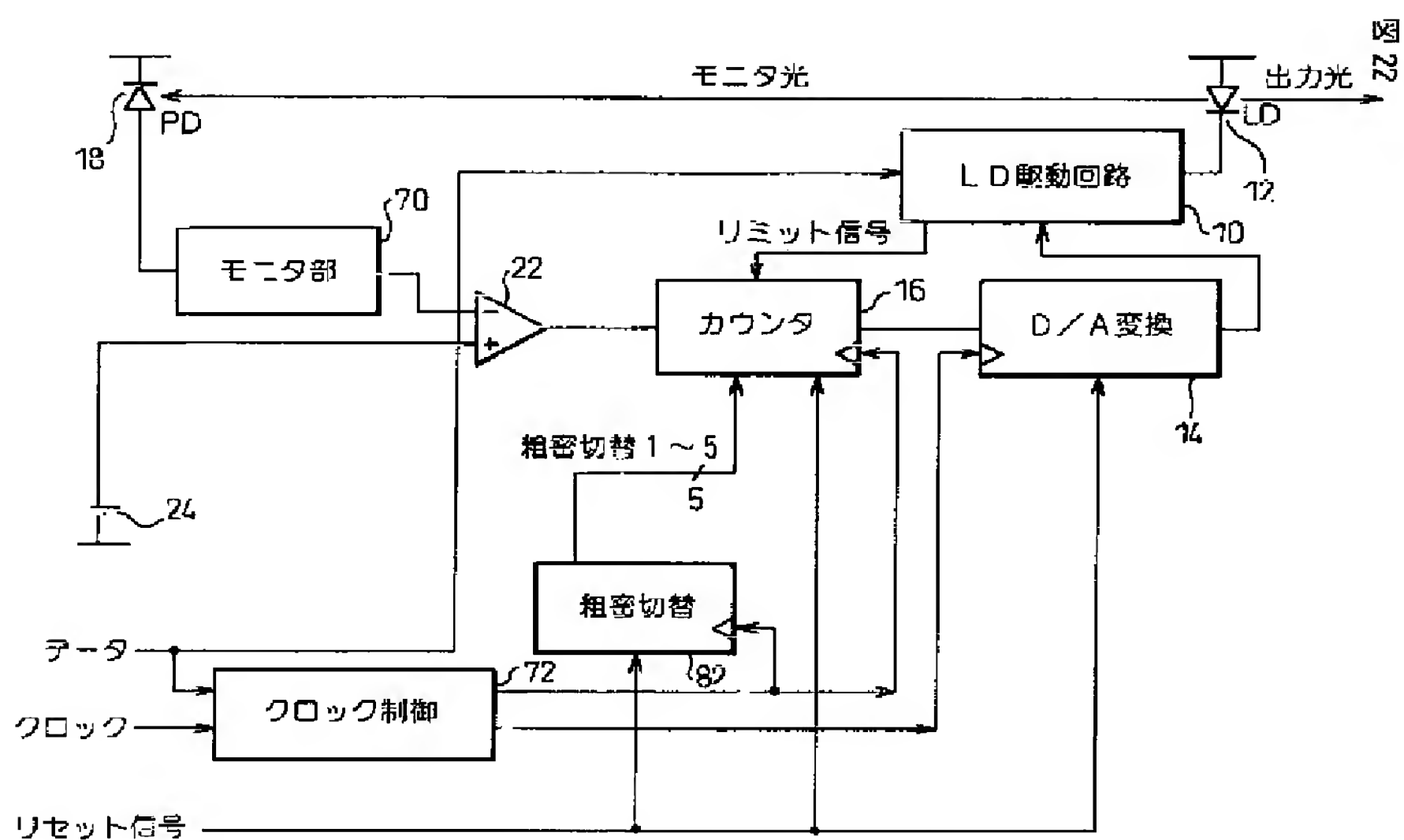


【 図 2 4 】

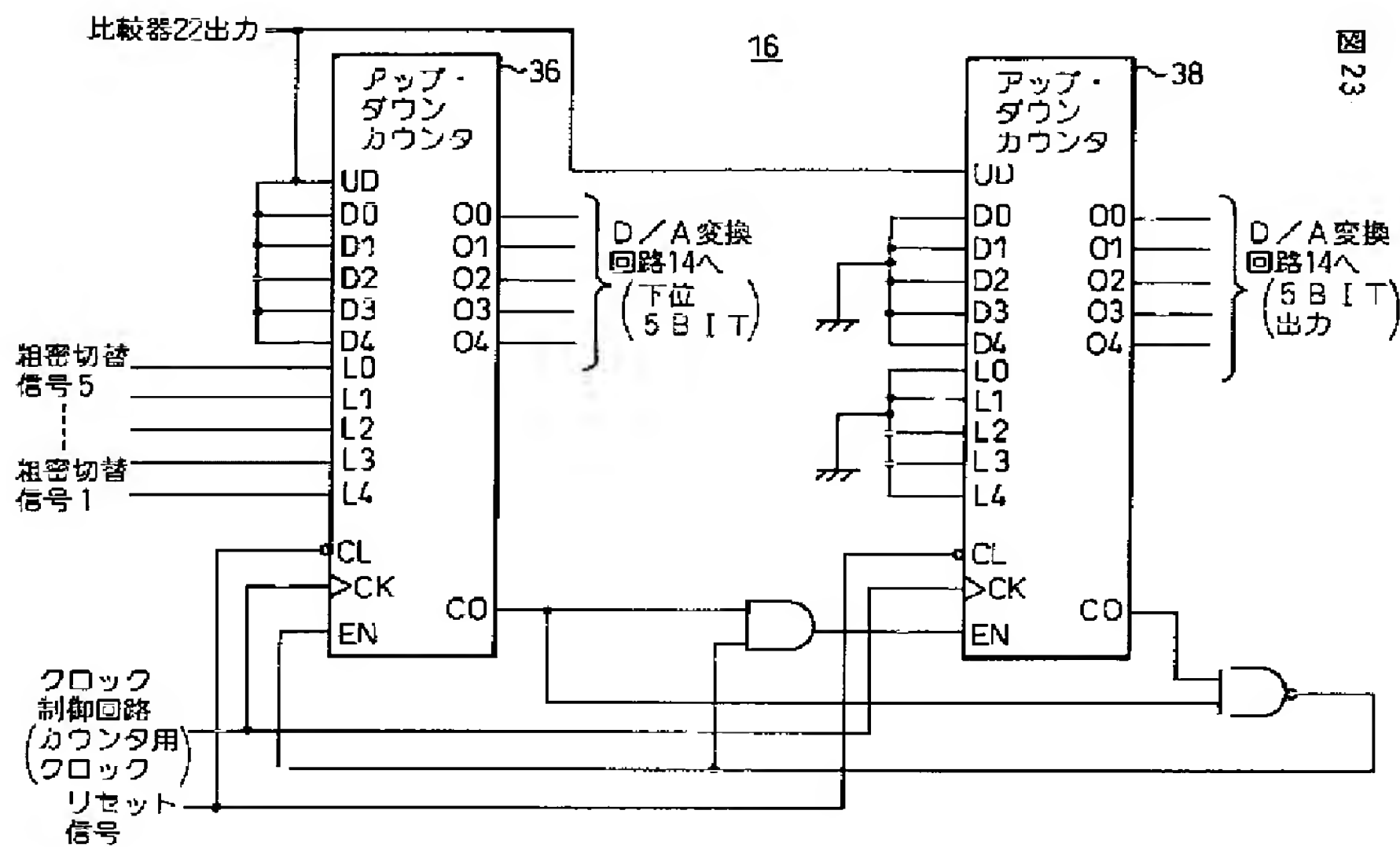
図 24



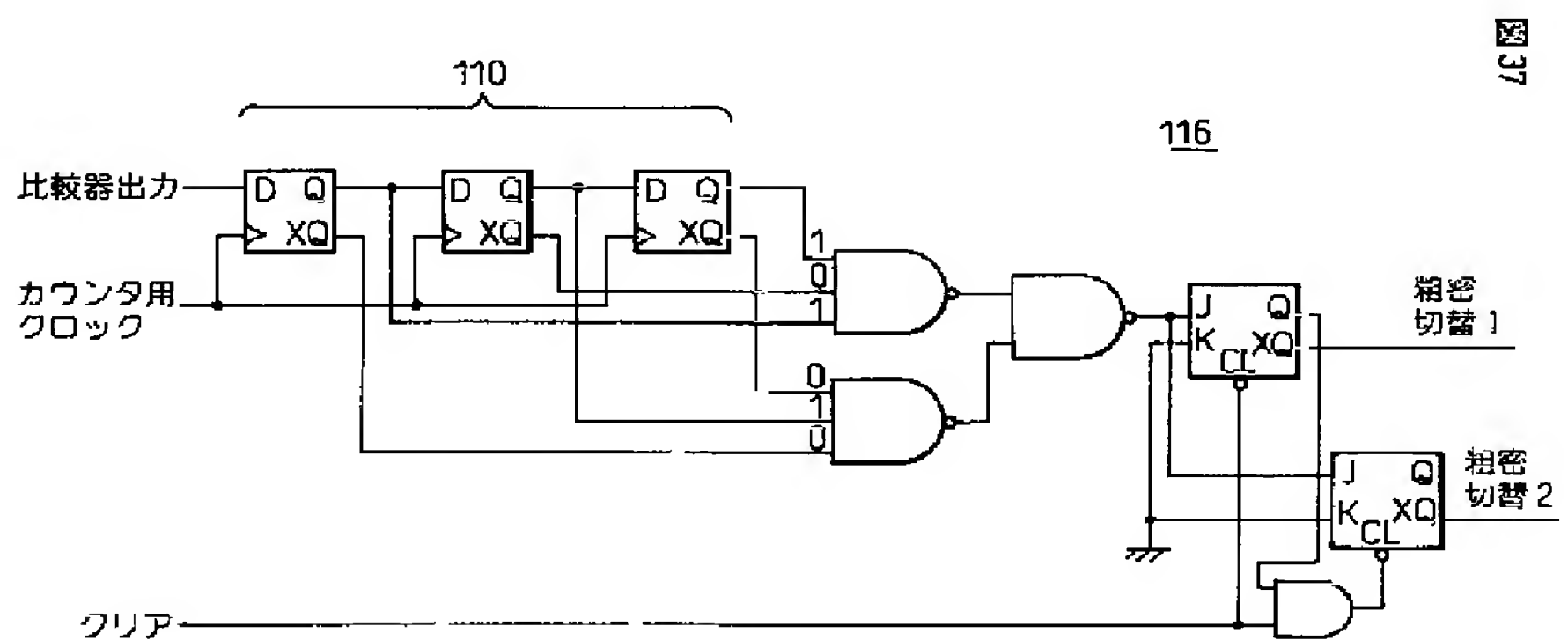
【図22】



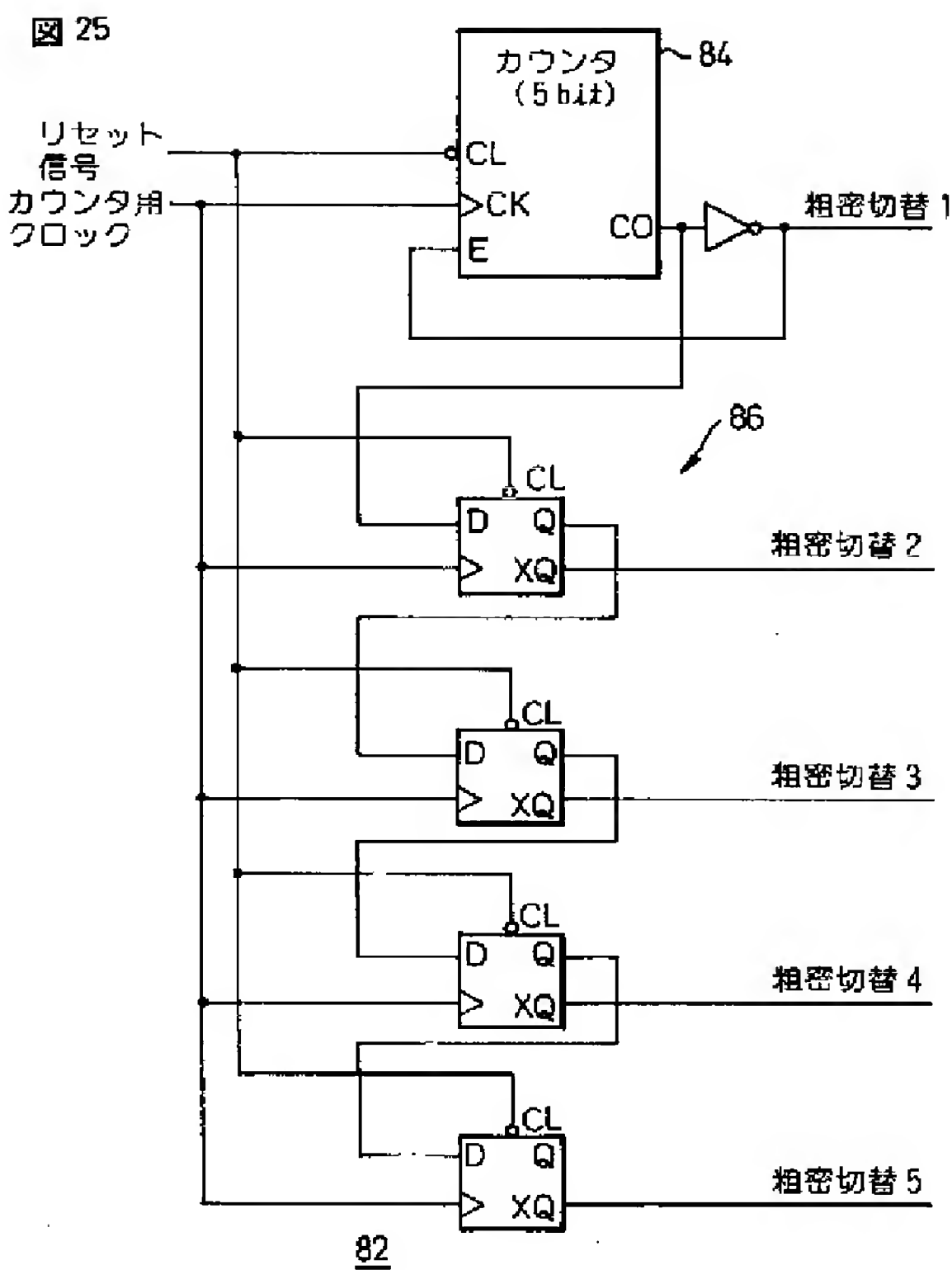
【図23】



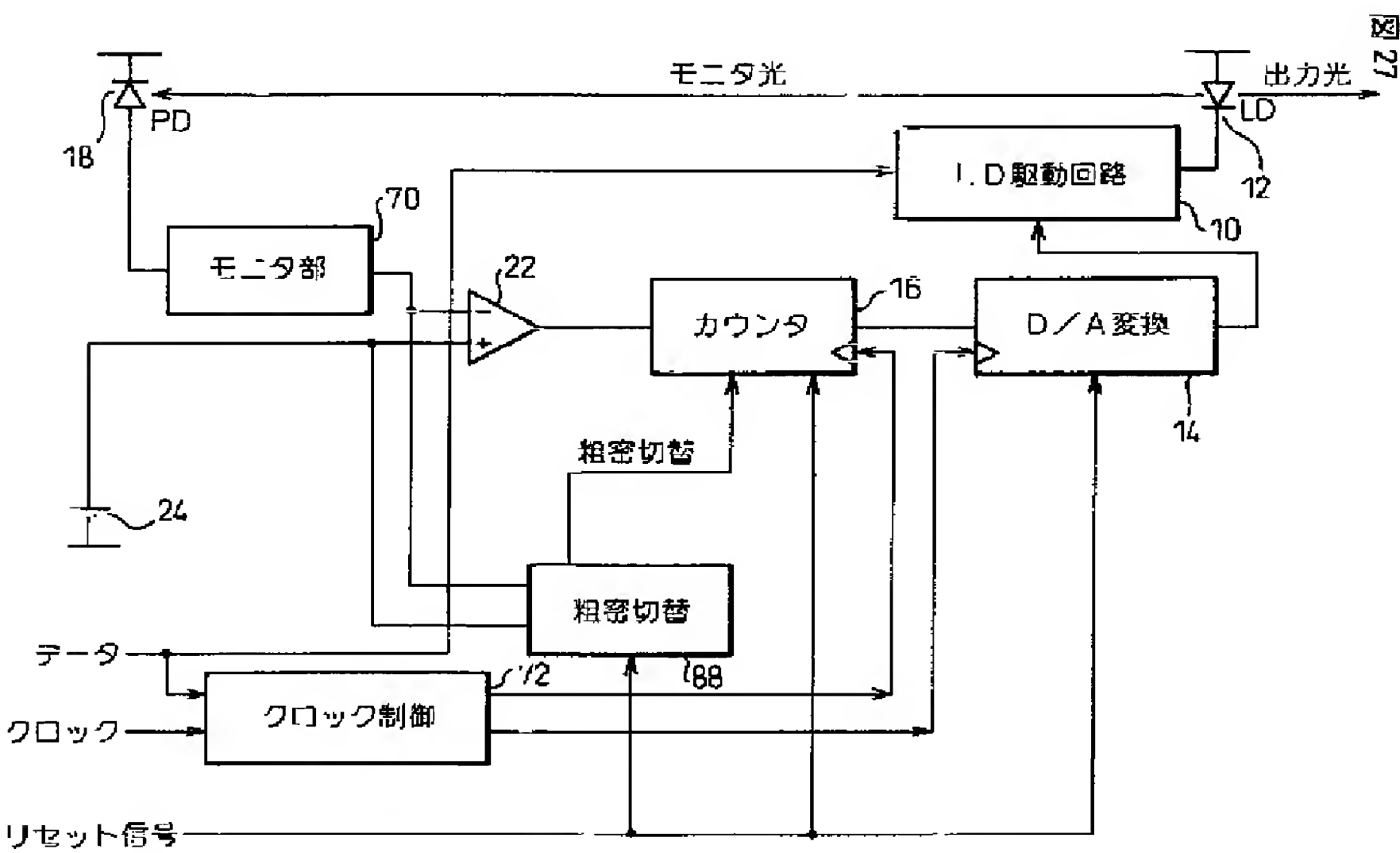
【図37】



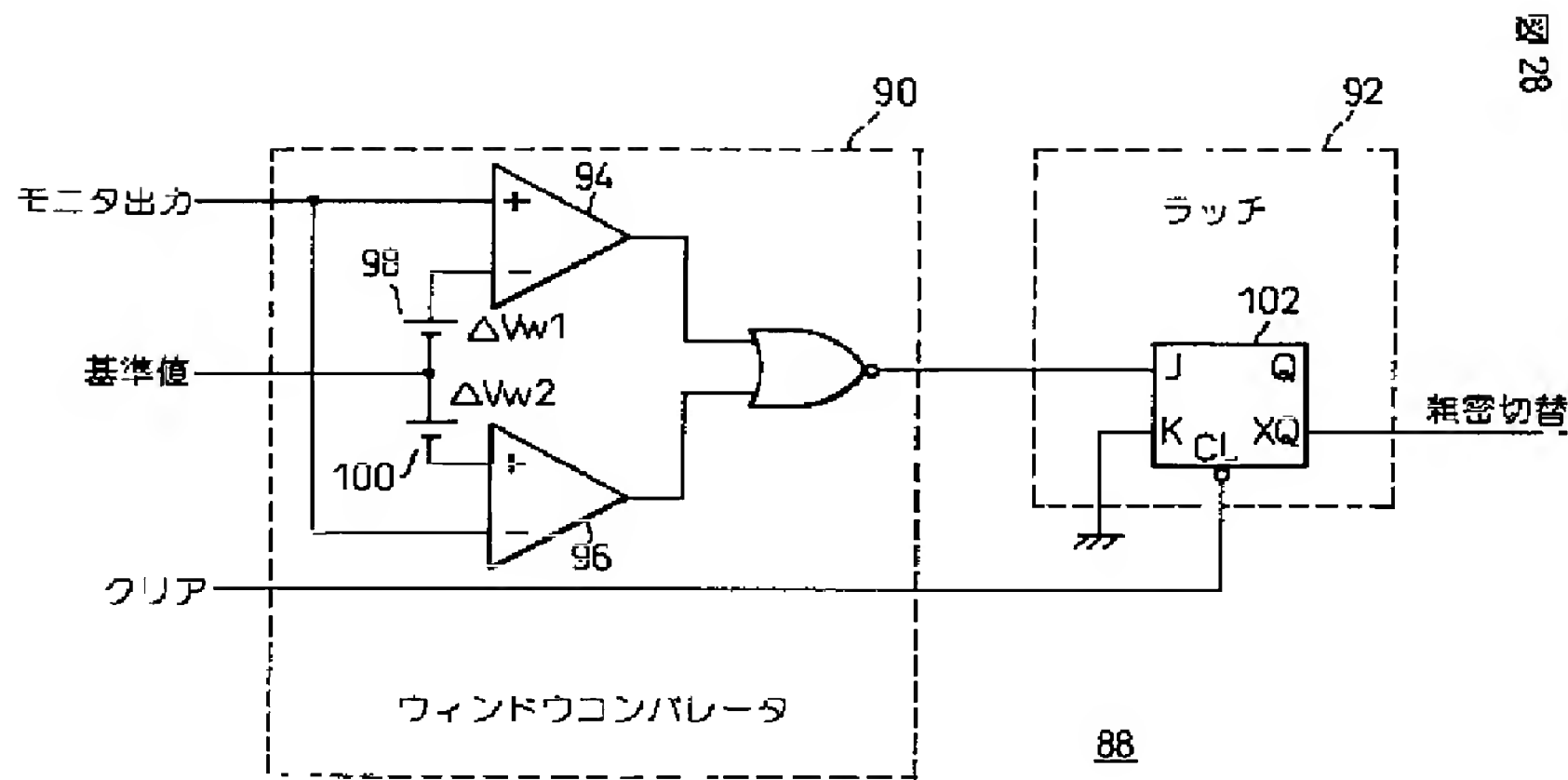
【 図 2 5 】



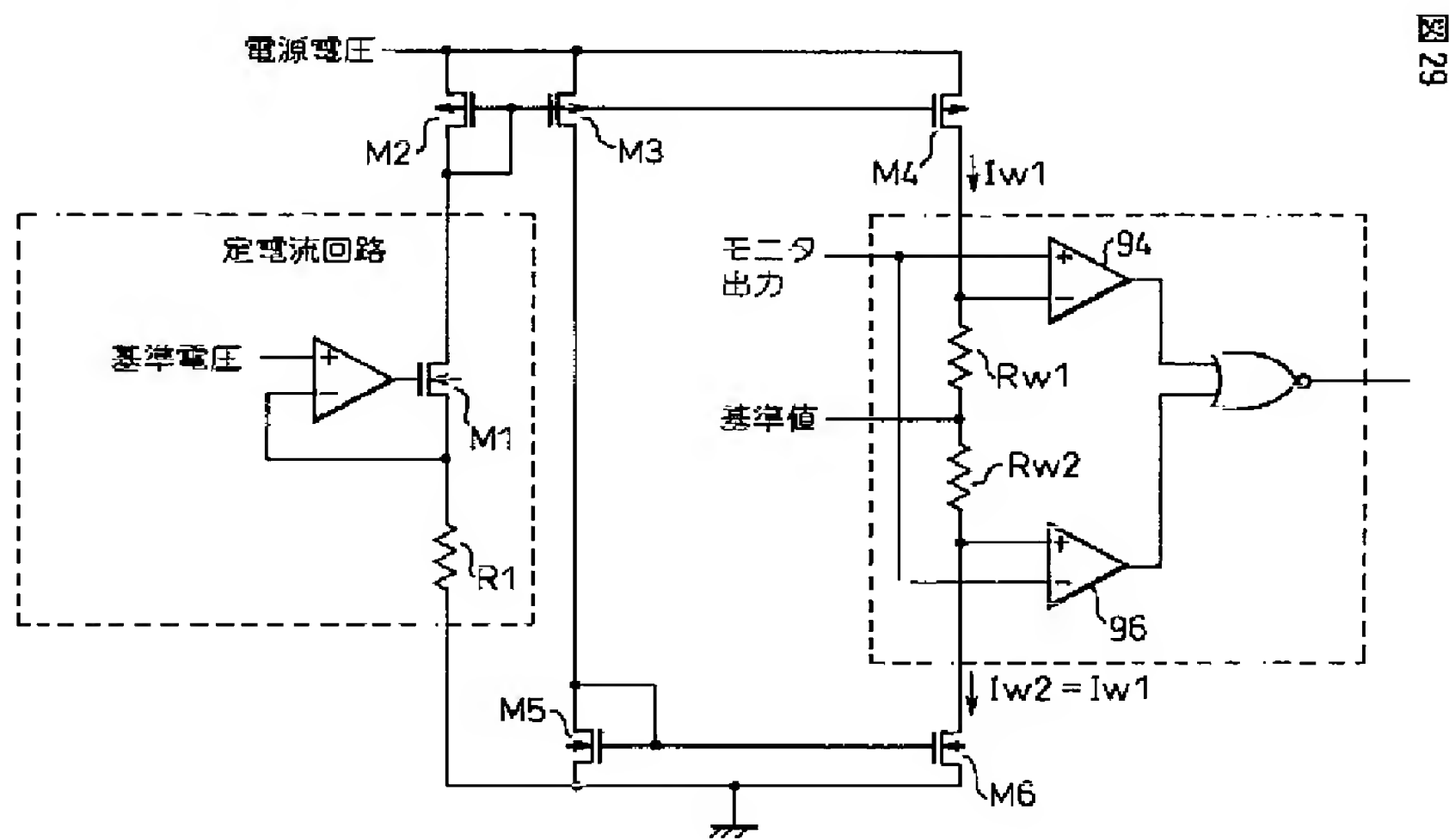
【 図 2 7 】



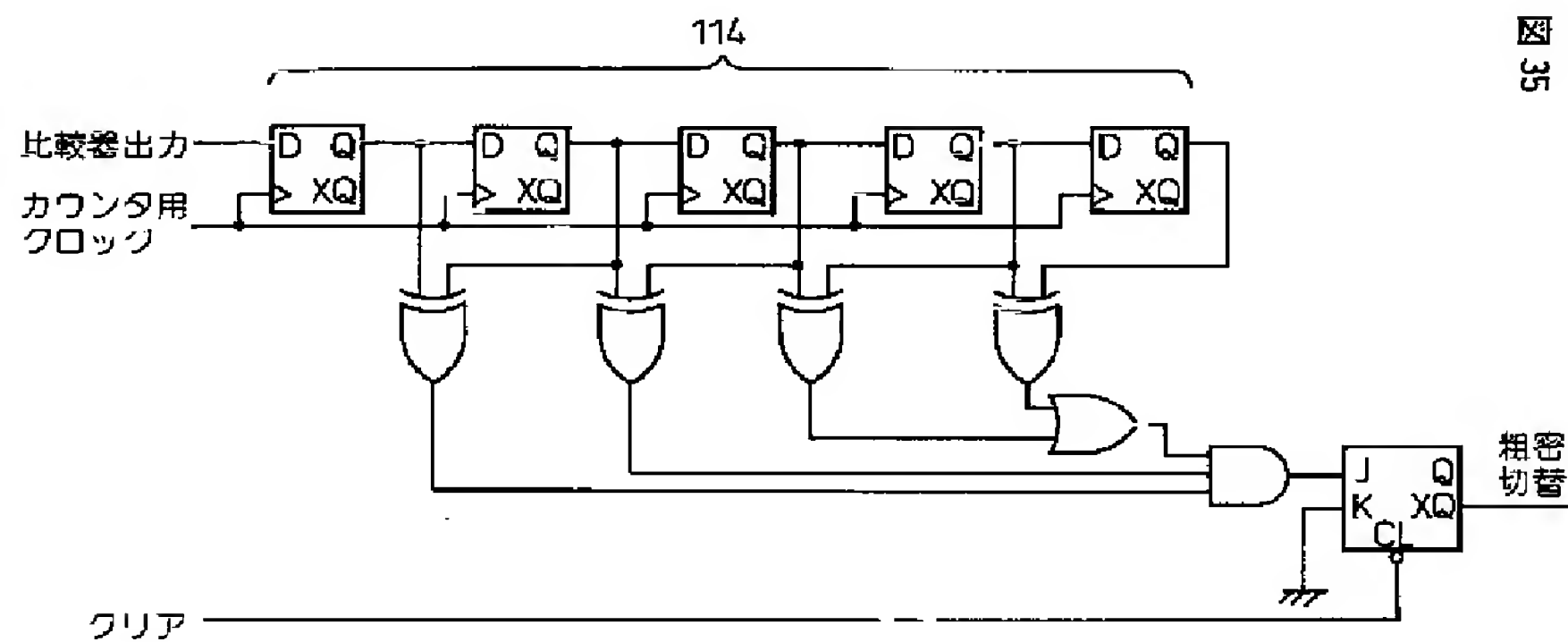
【 図 28 】



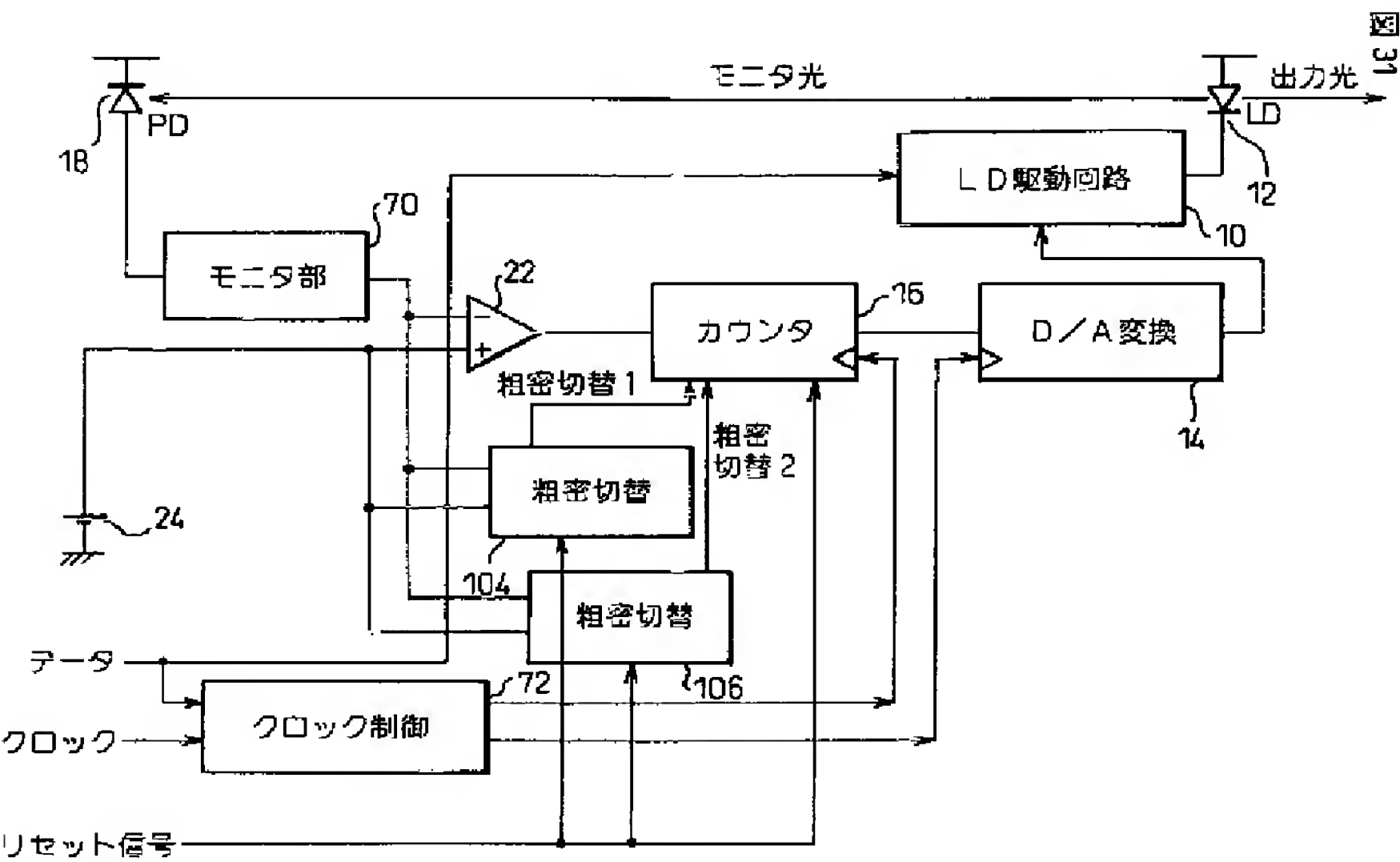
【 図 29 】



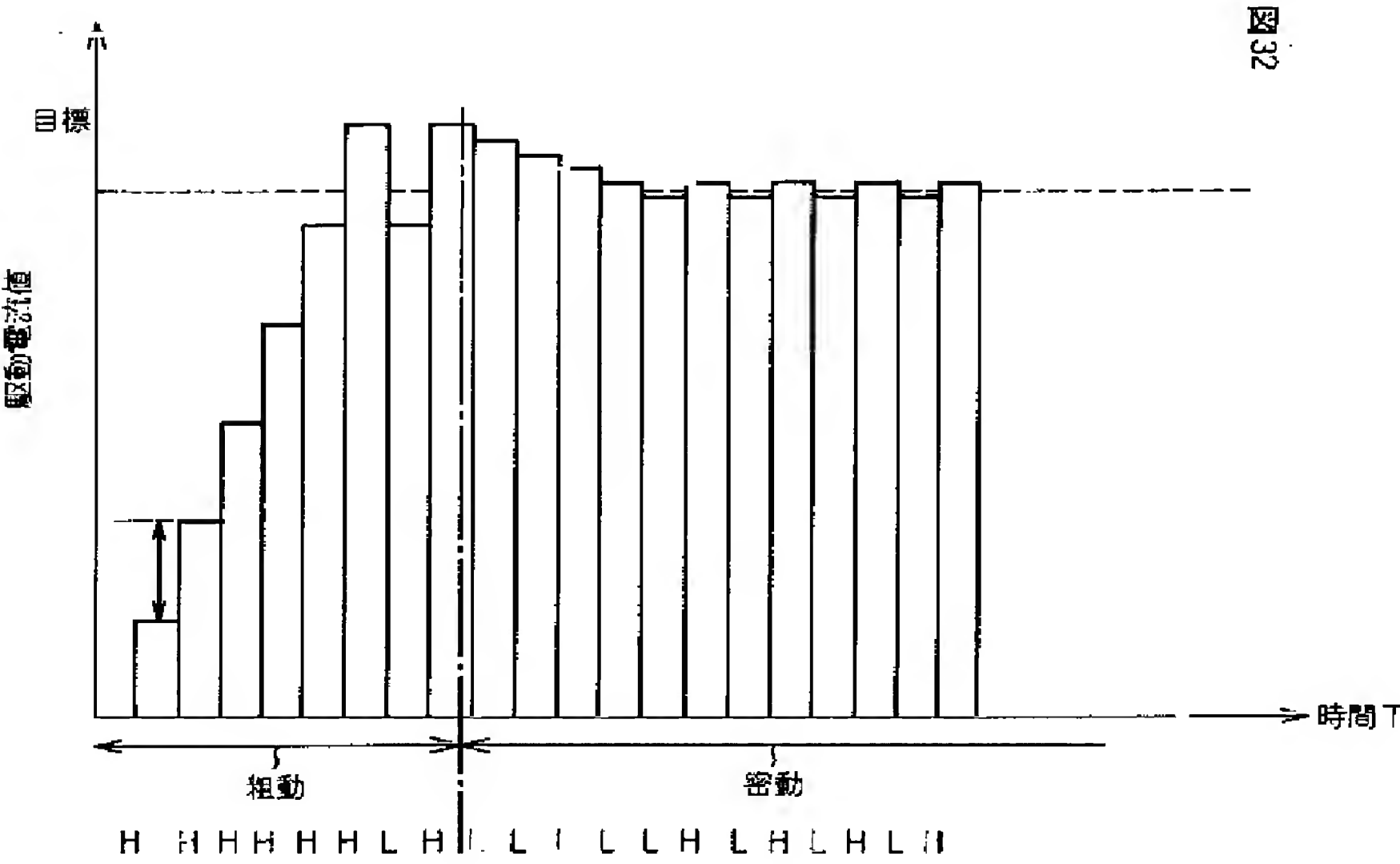
【 図 35 】



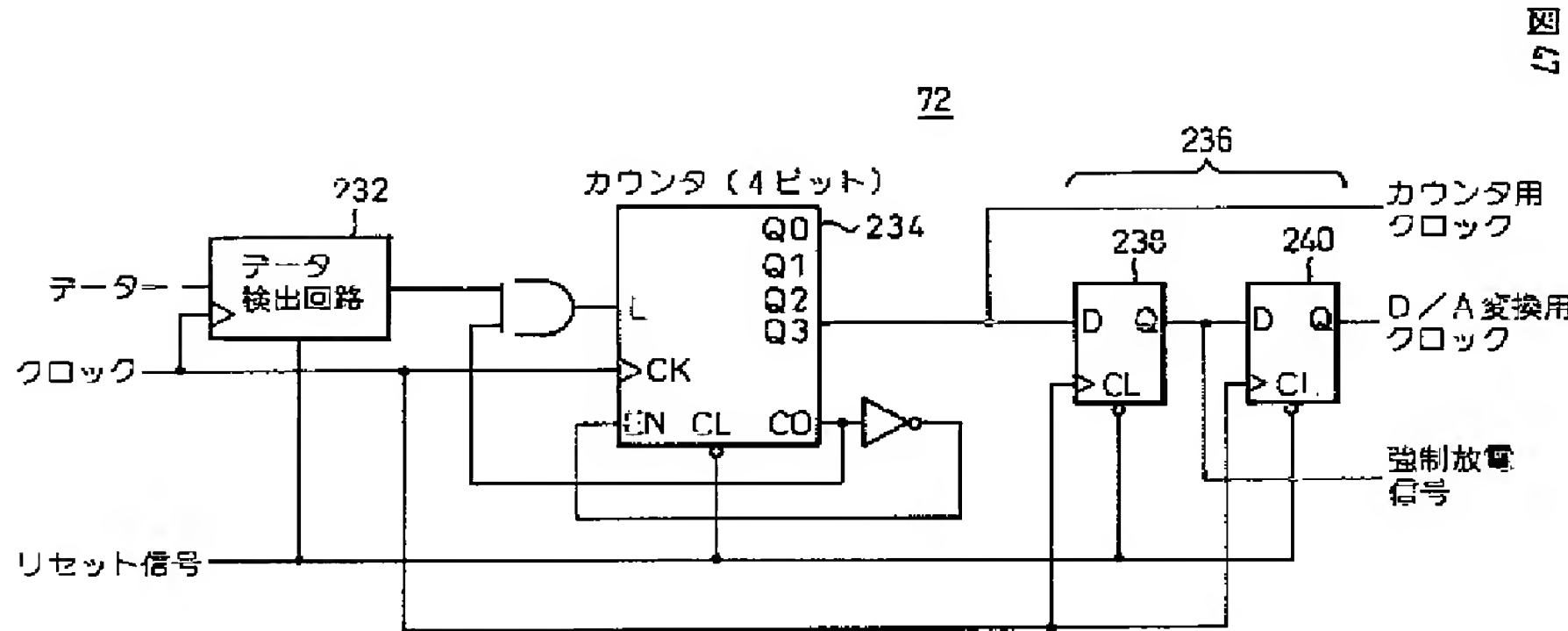
【図31】



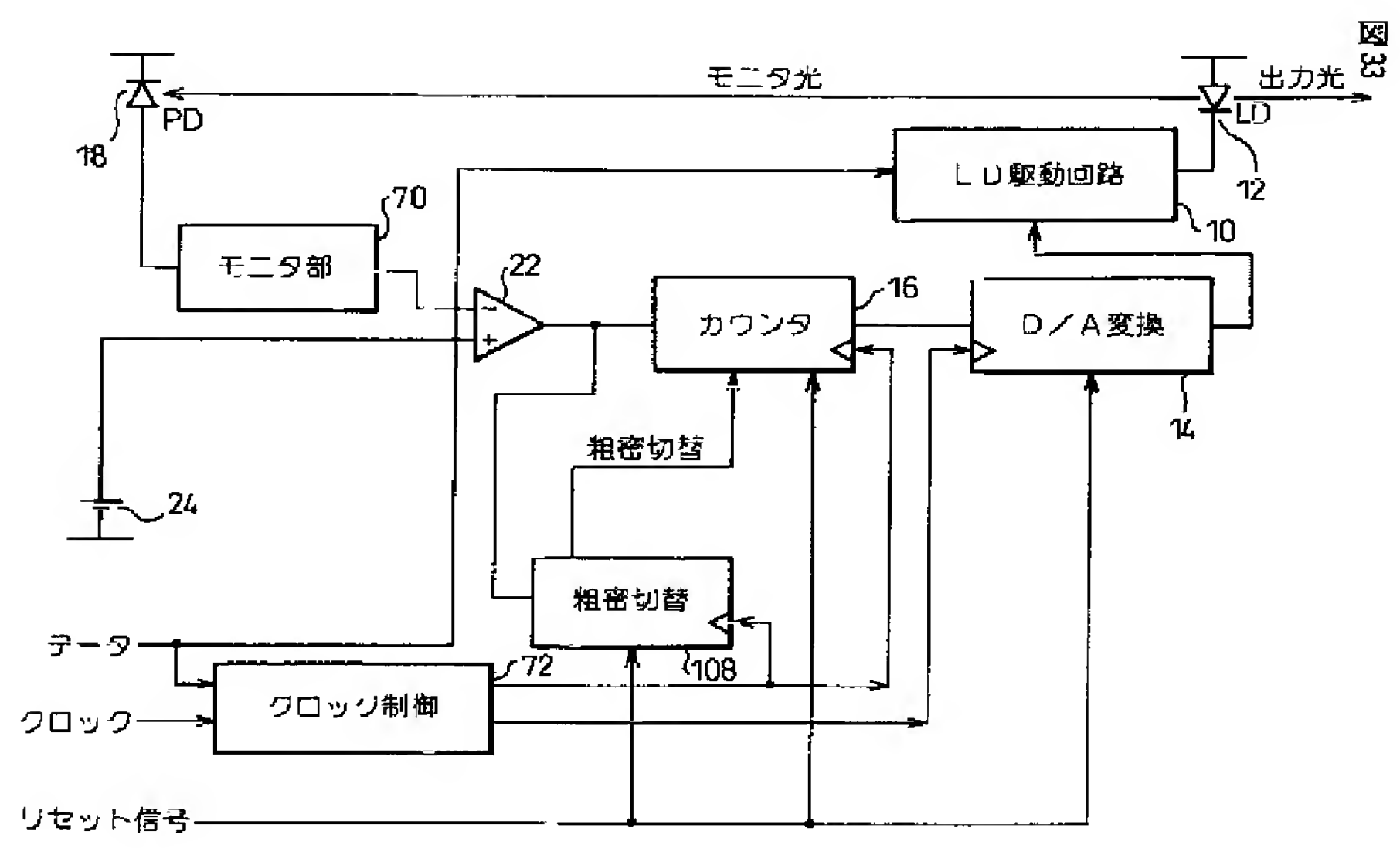
【図32】



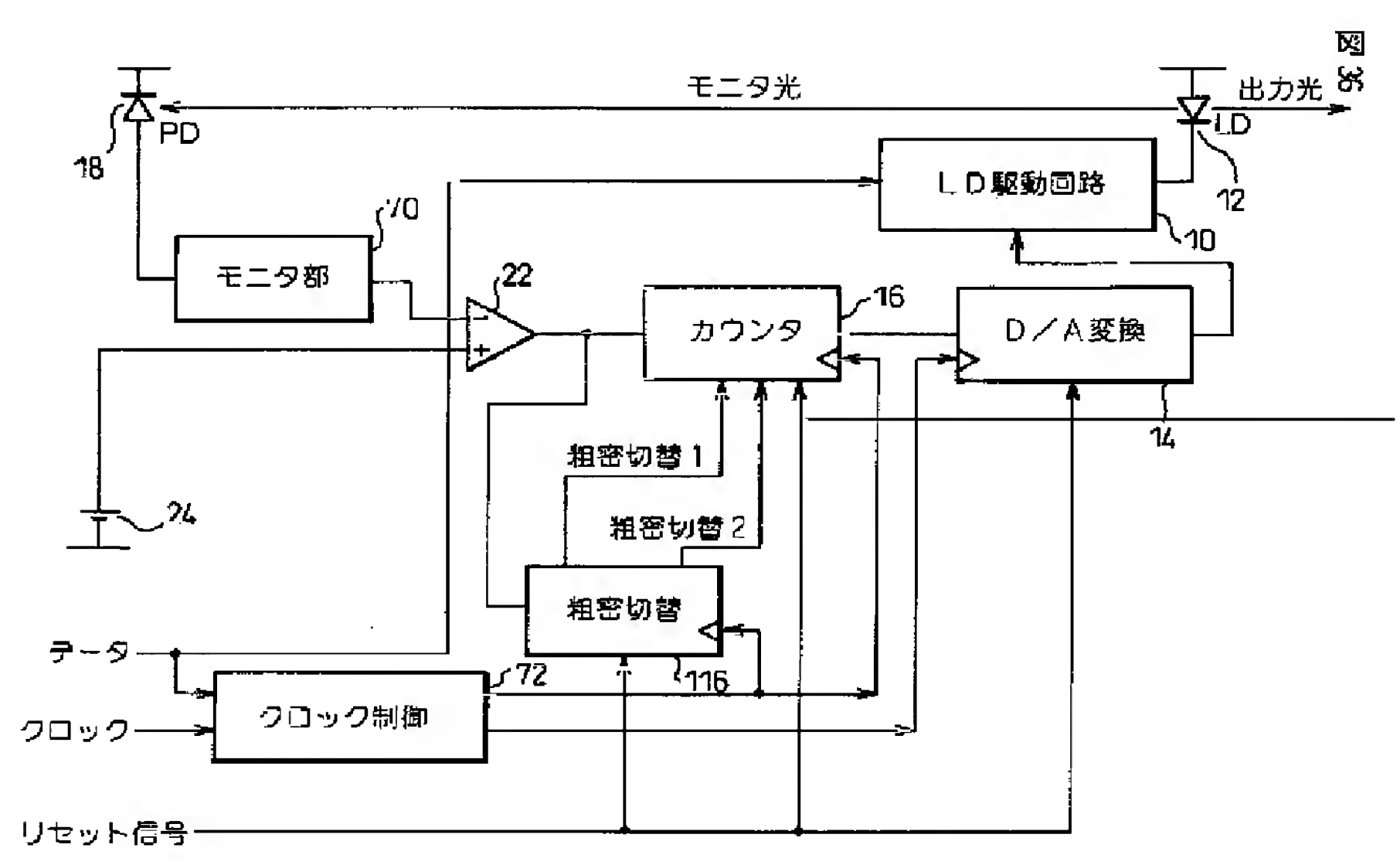
【図47】



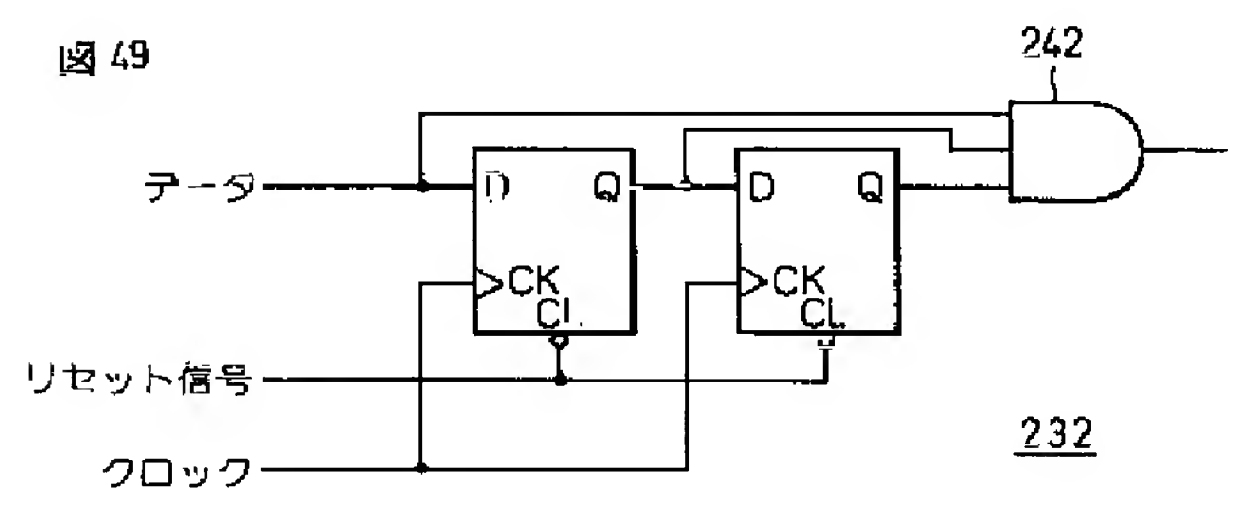
【 図 3 3 】



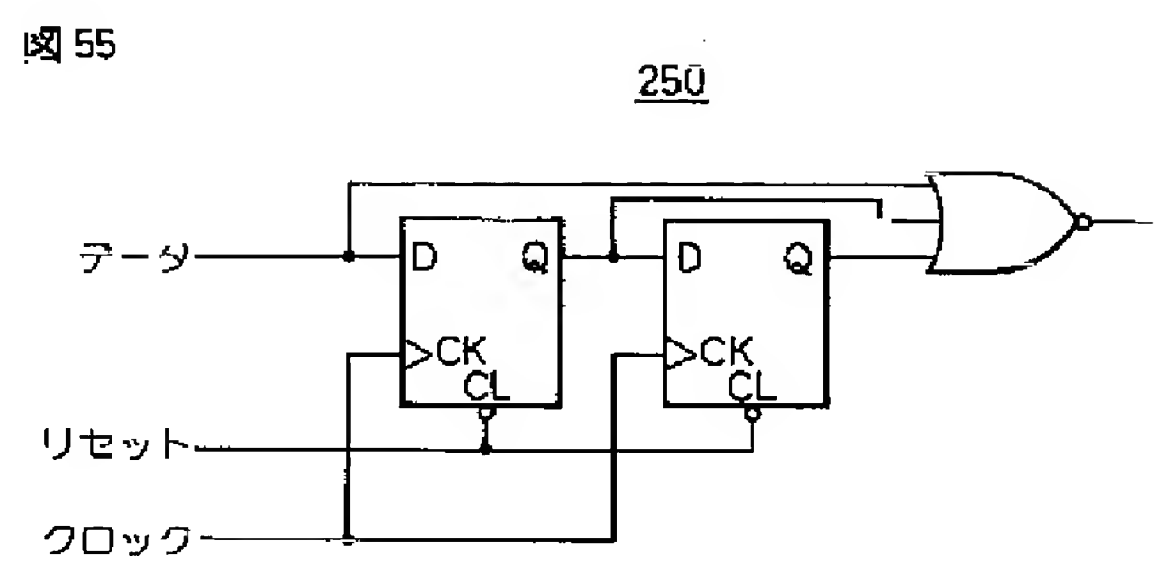
【 図 3 6 】



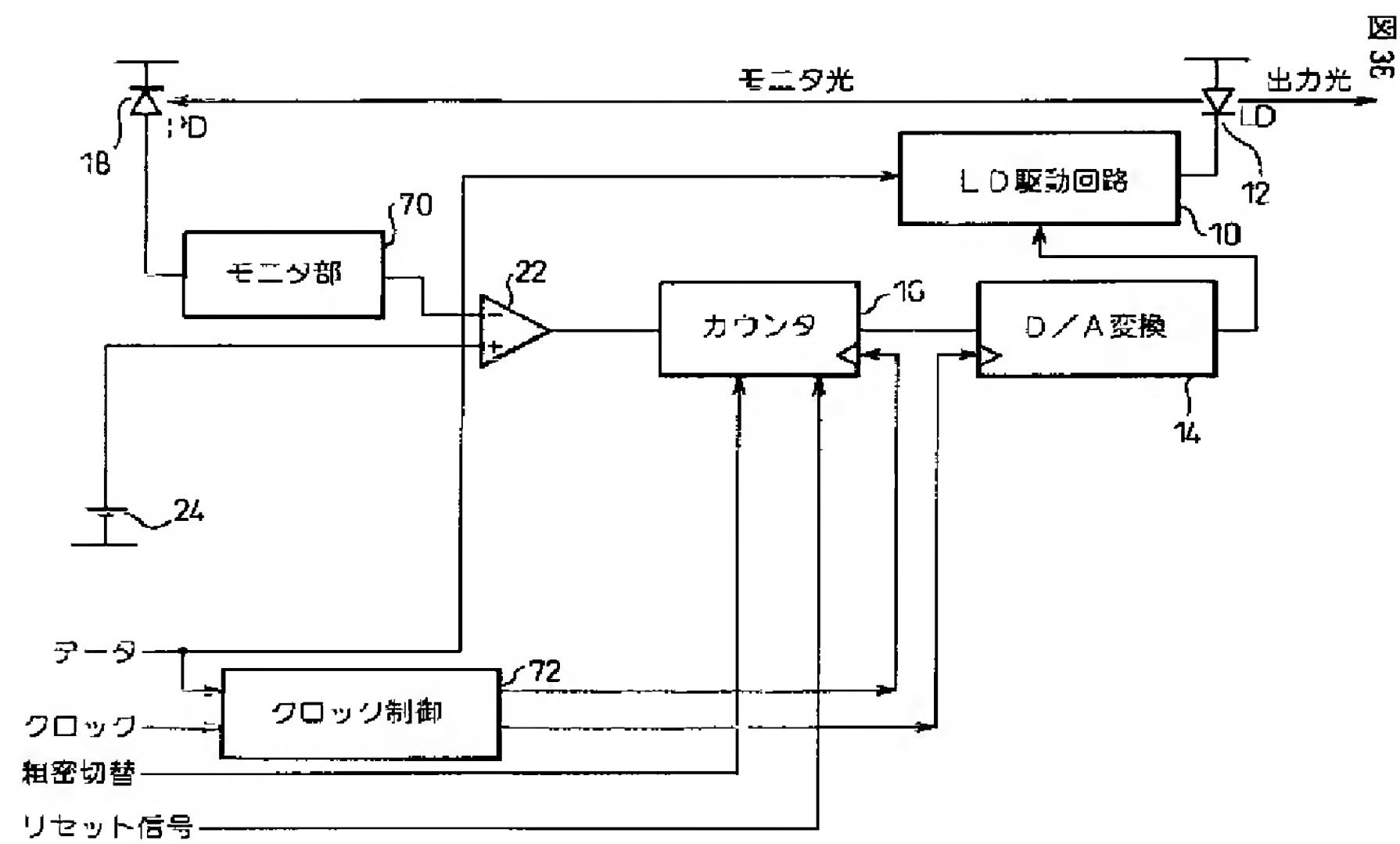
【 図 4 9 】



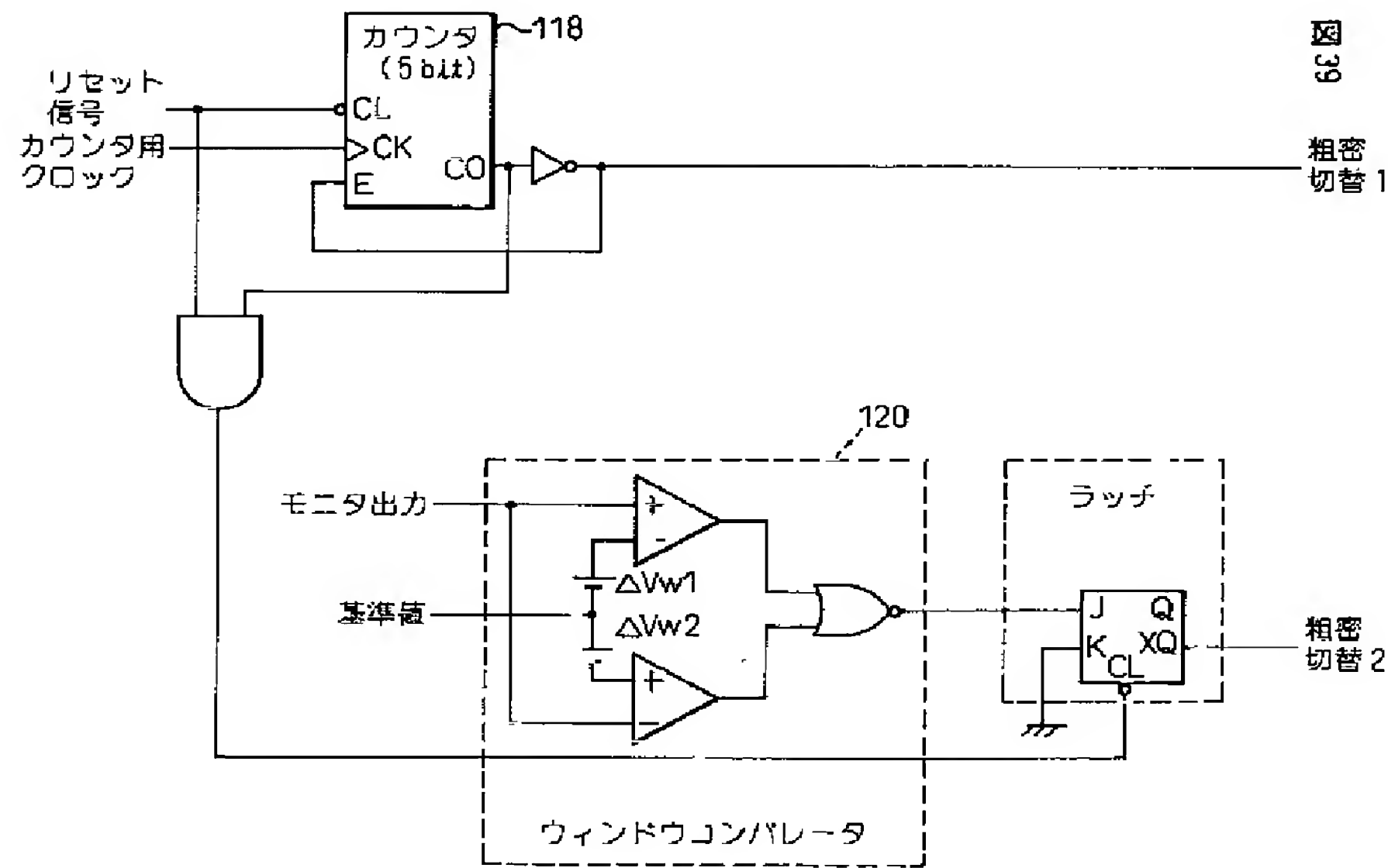
【 図 5 5 】



【図38】

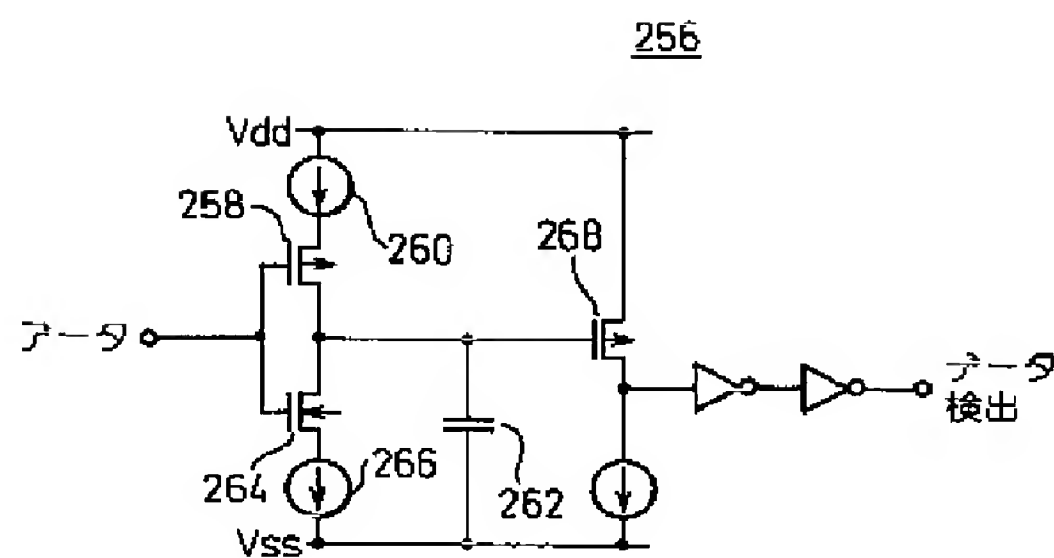


【図39】

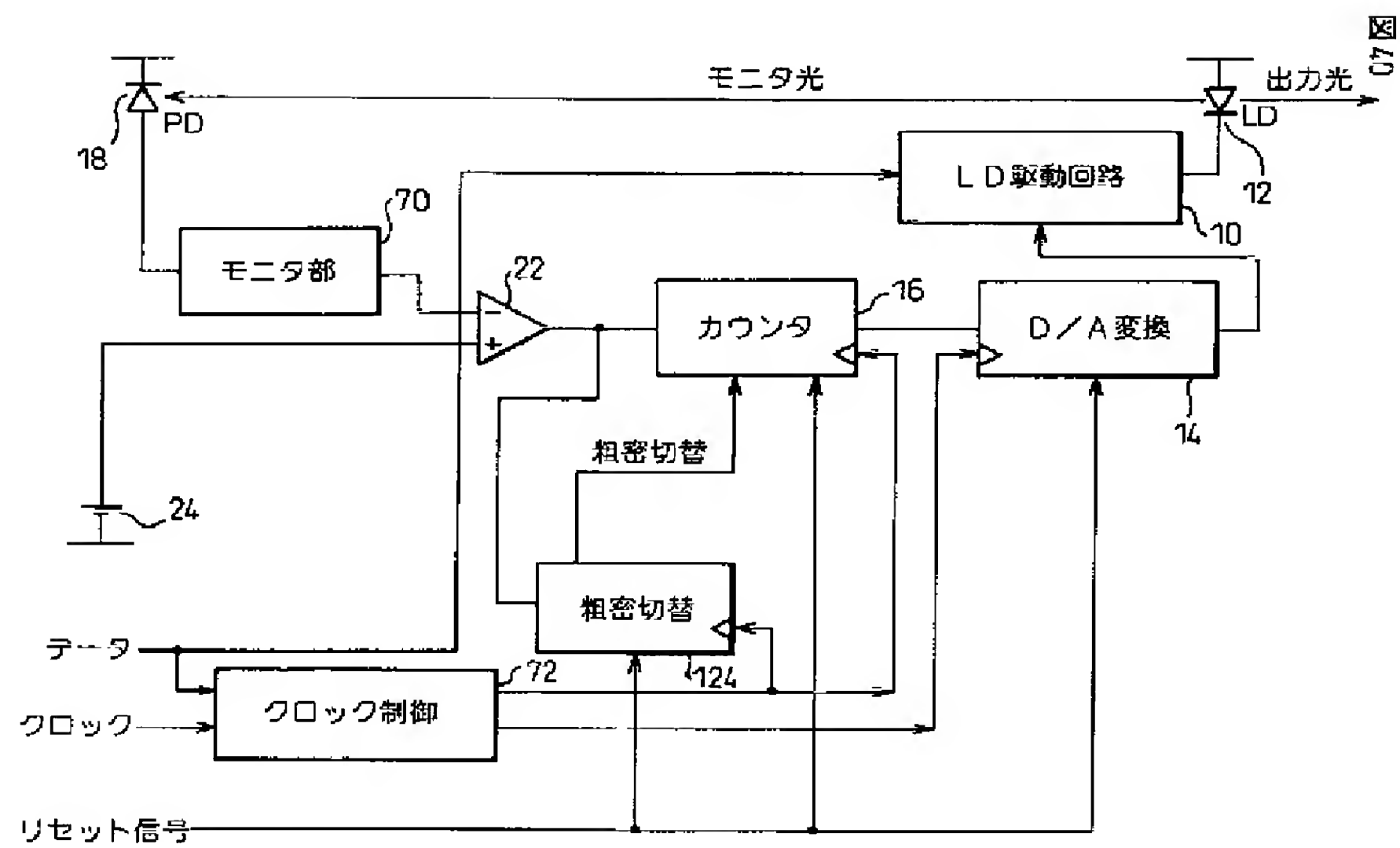


【図58】

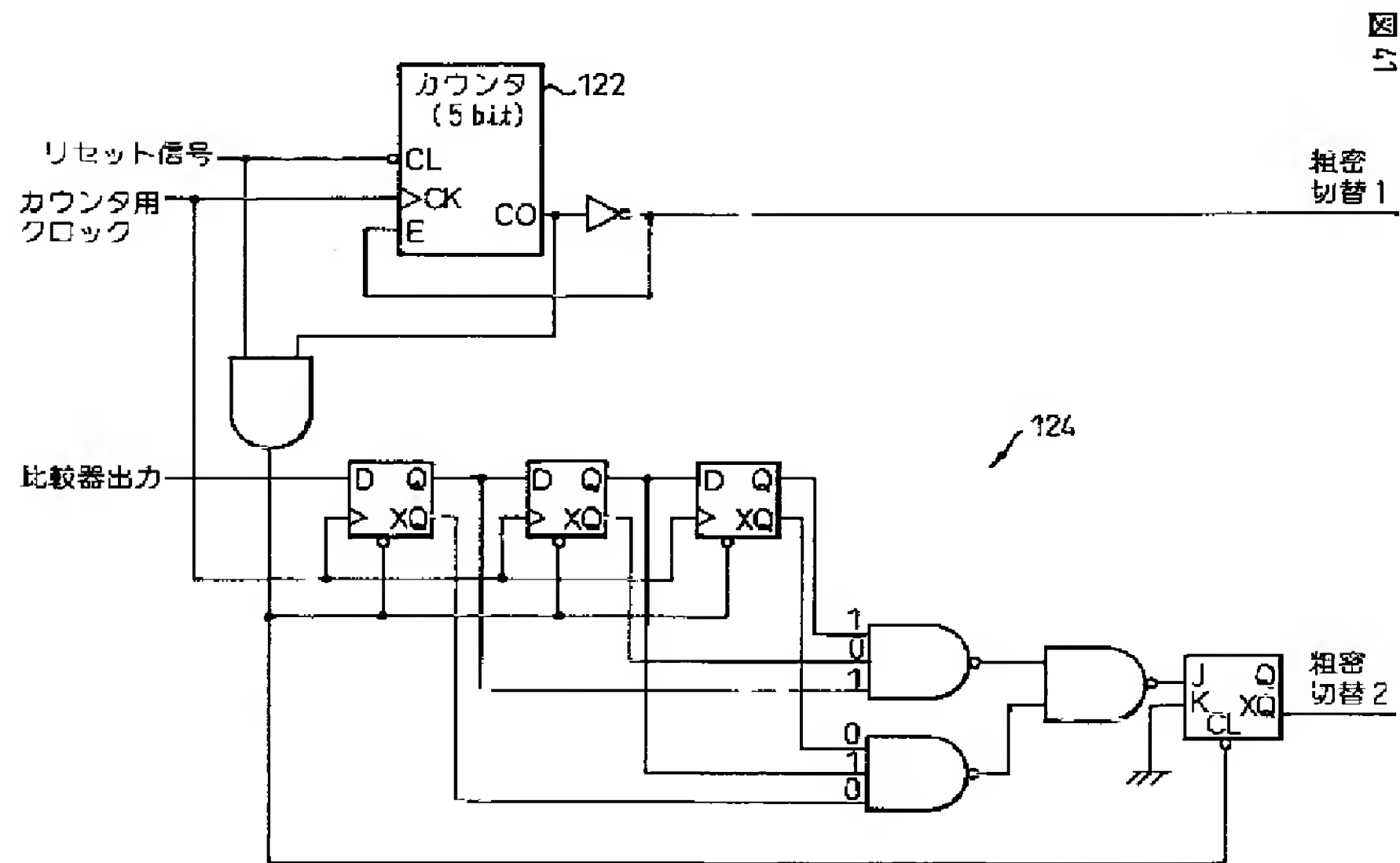
図 58



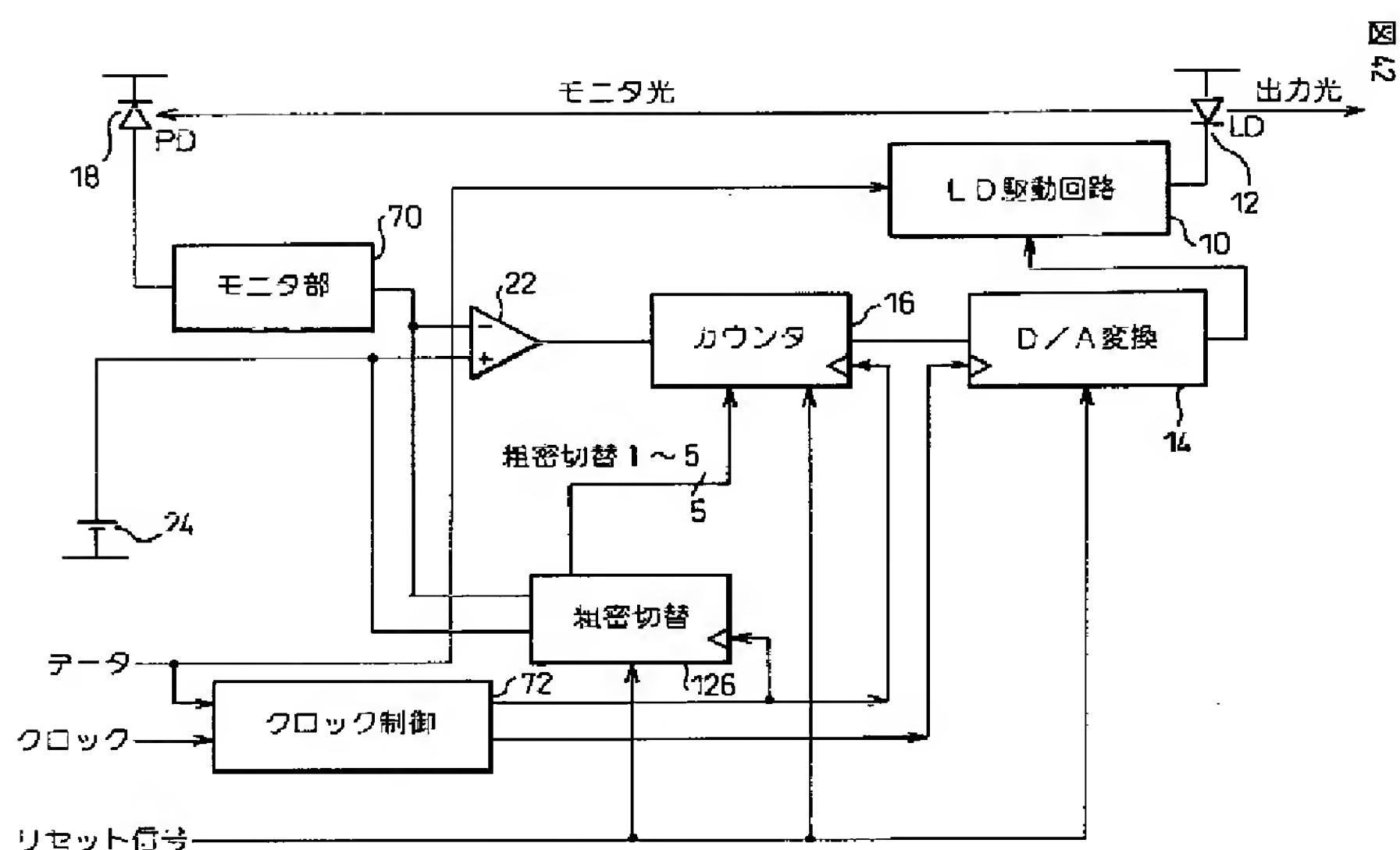
【 図 4 0 】



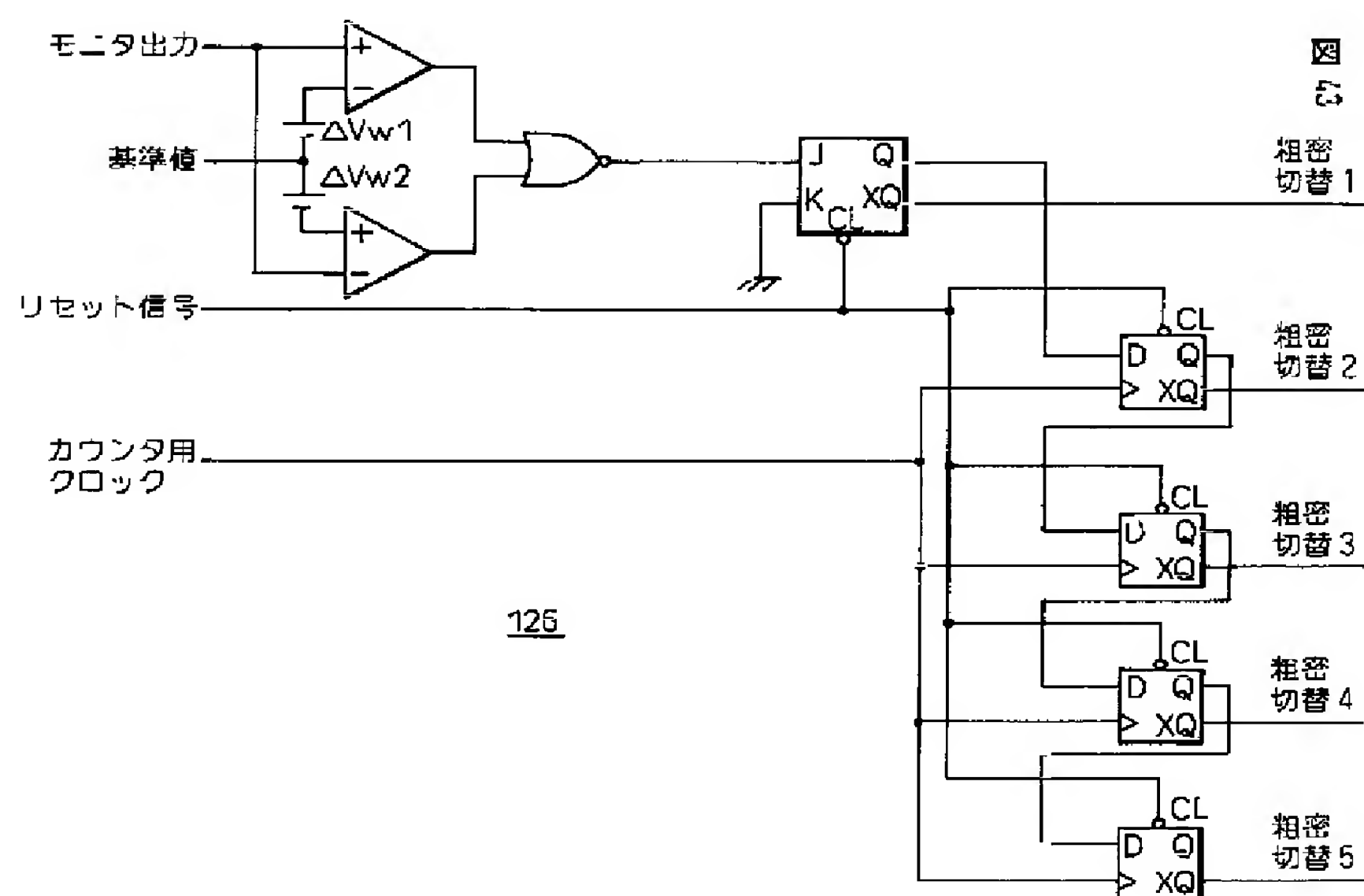
【 図 4 1 】



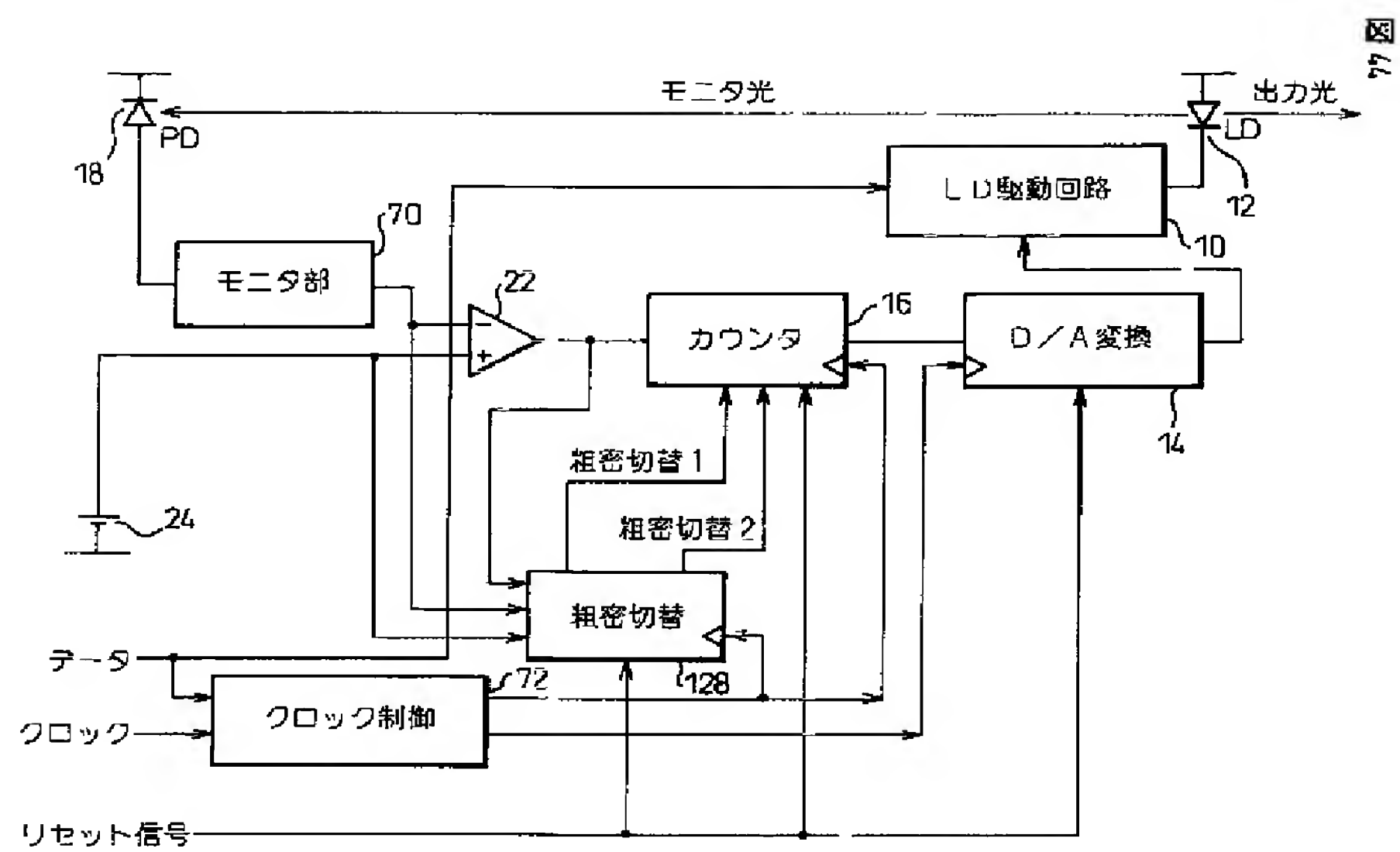
【图 4-2】



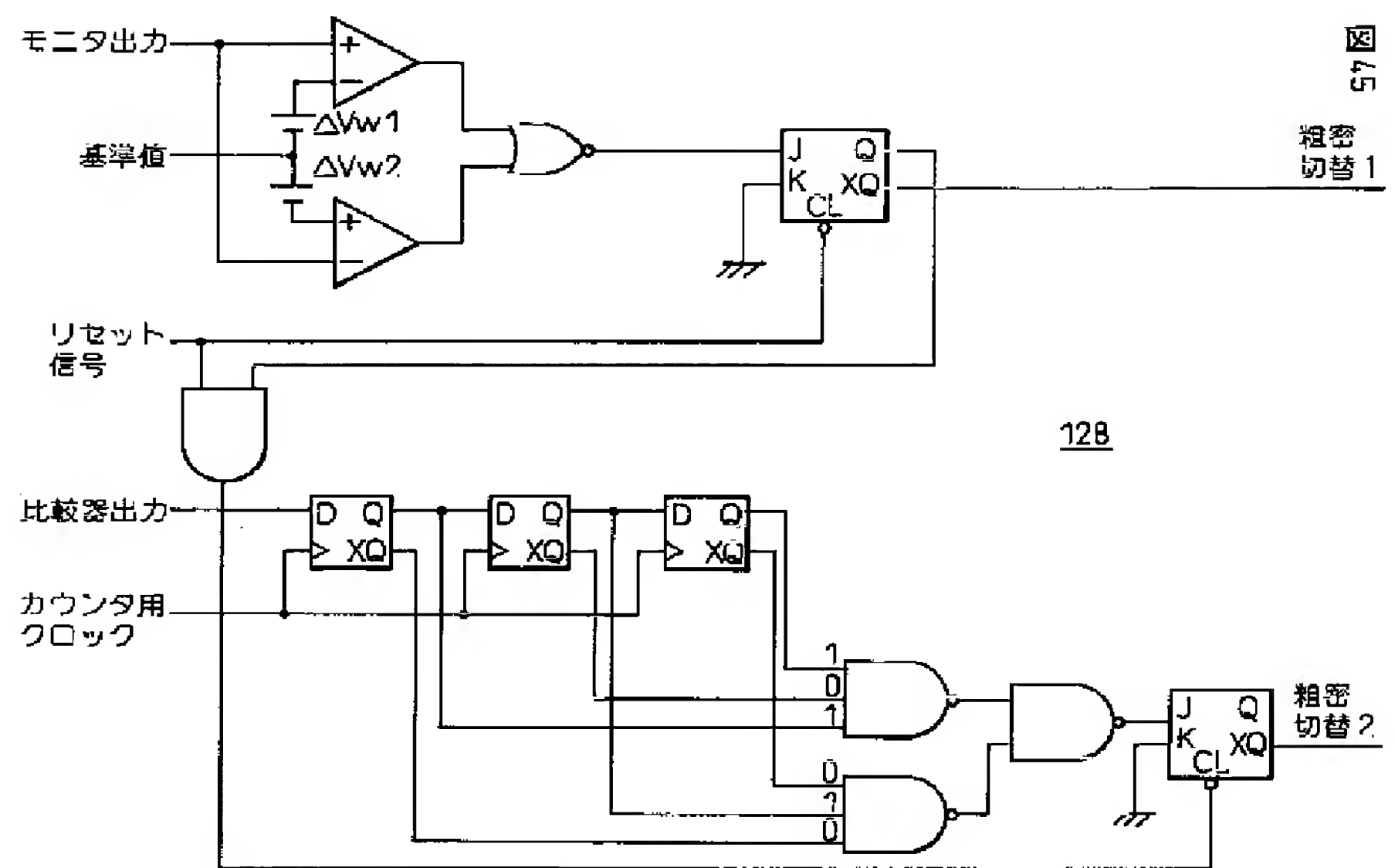
【图43】



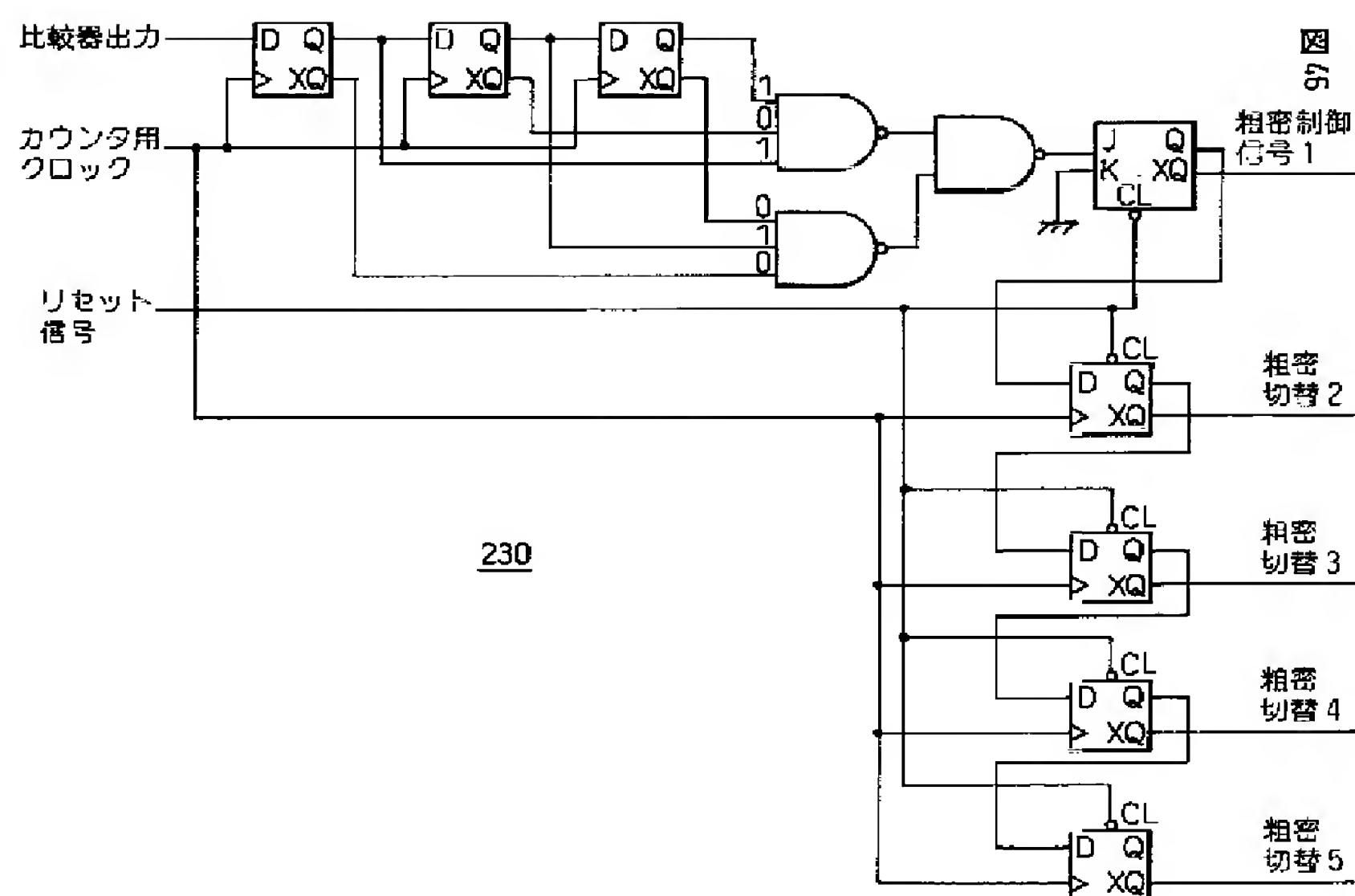
【図44】



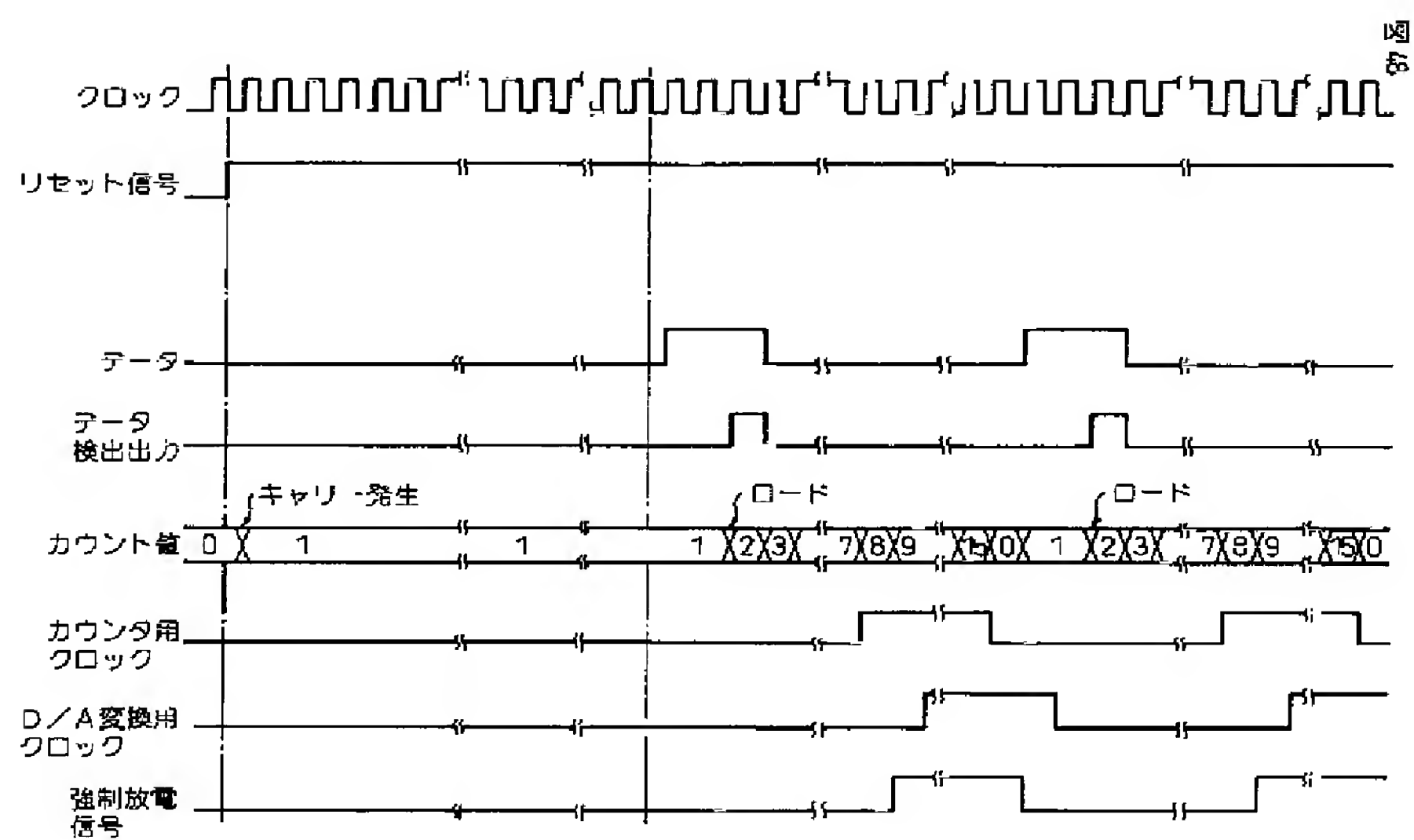
【図45】



【図46】



【图 48】



【図50】

【図64】

図50

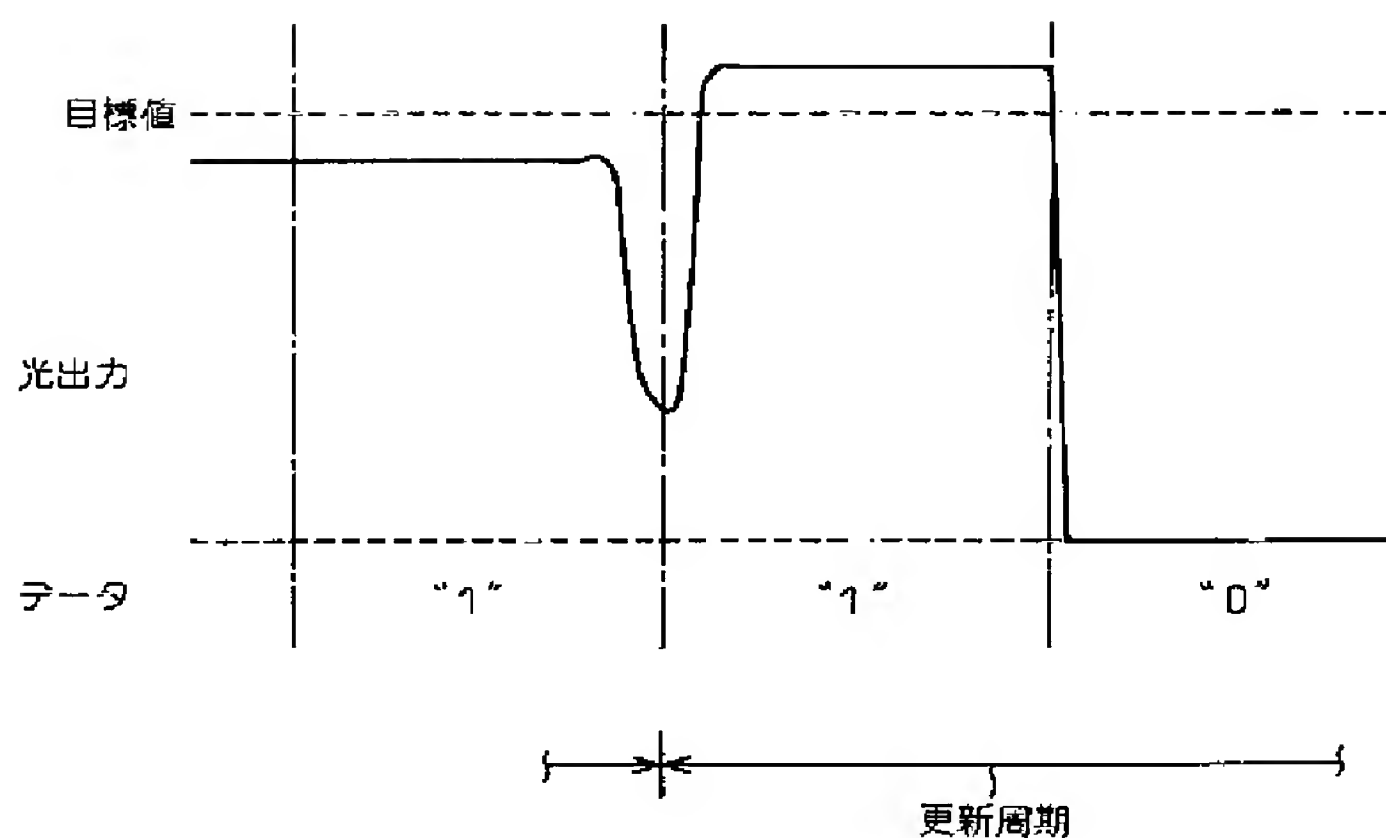
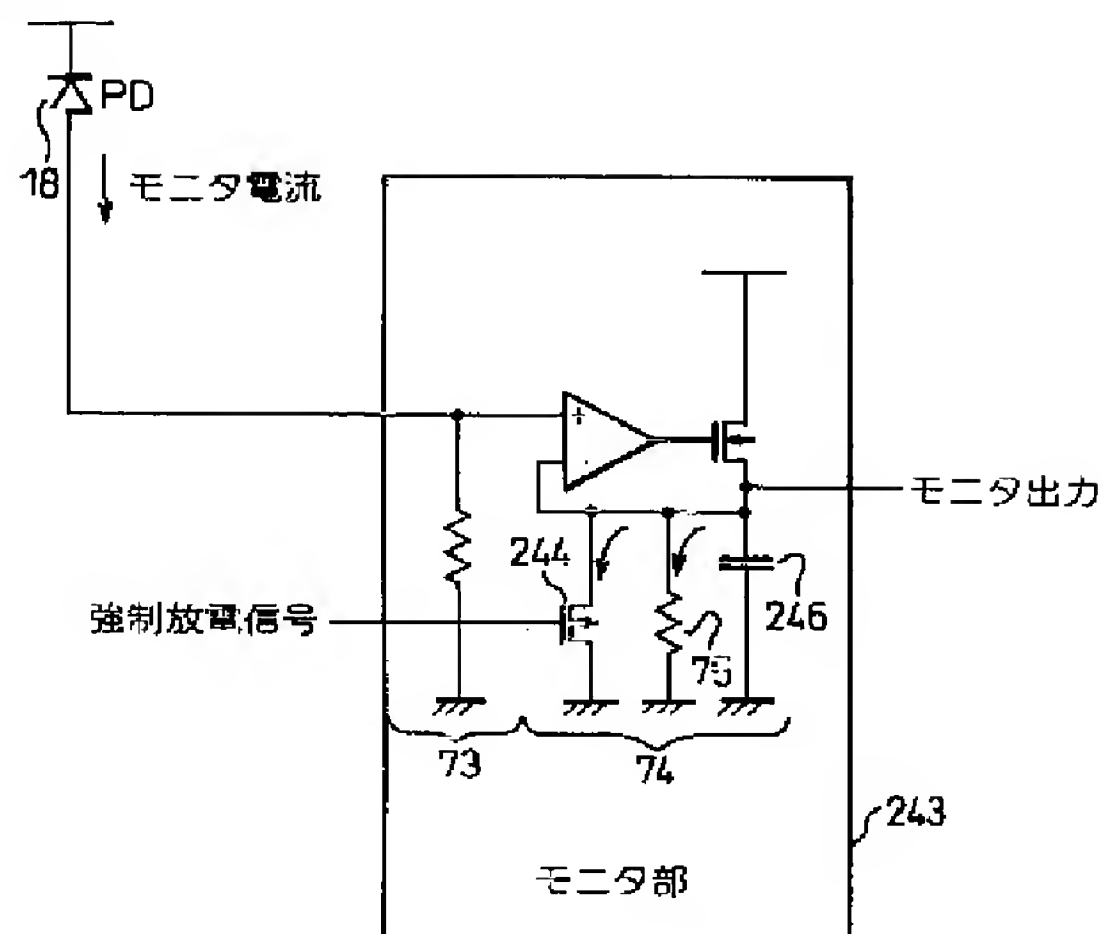
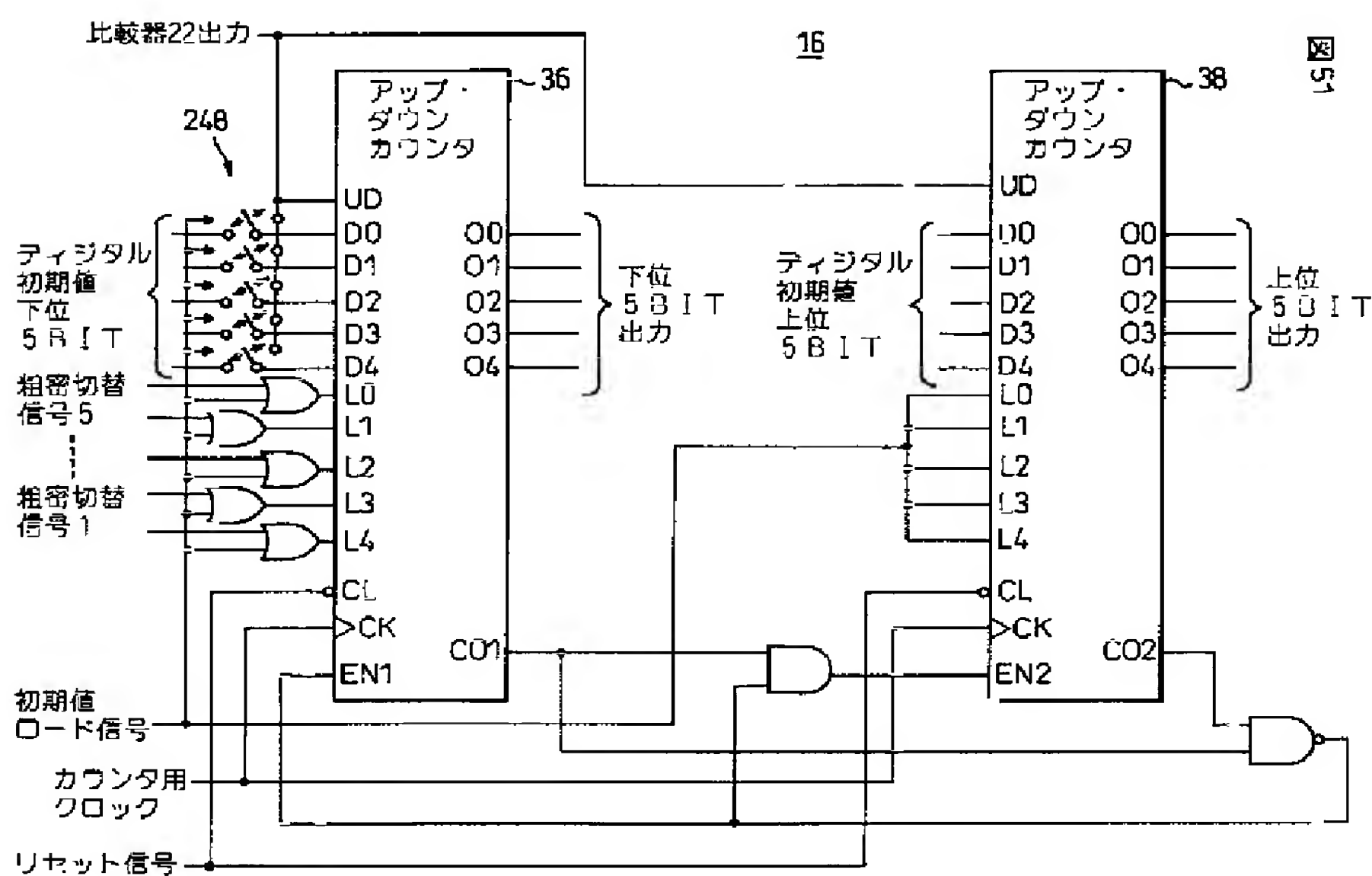


図56

【図51】



【図52】

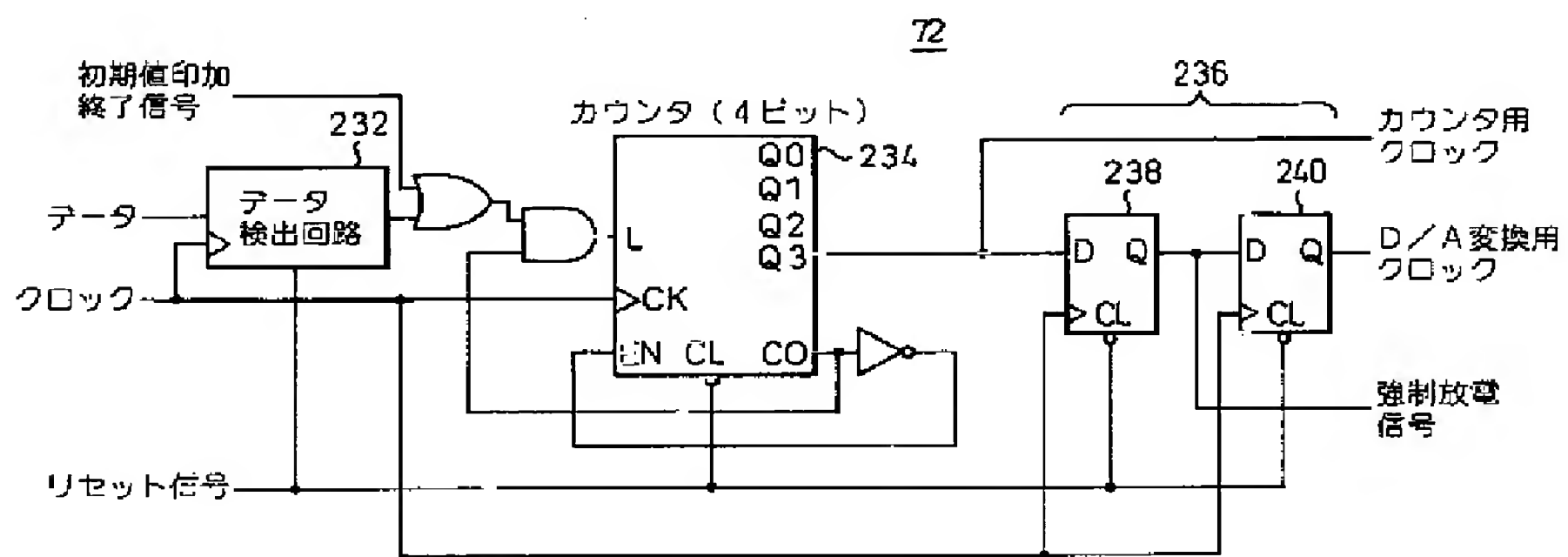
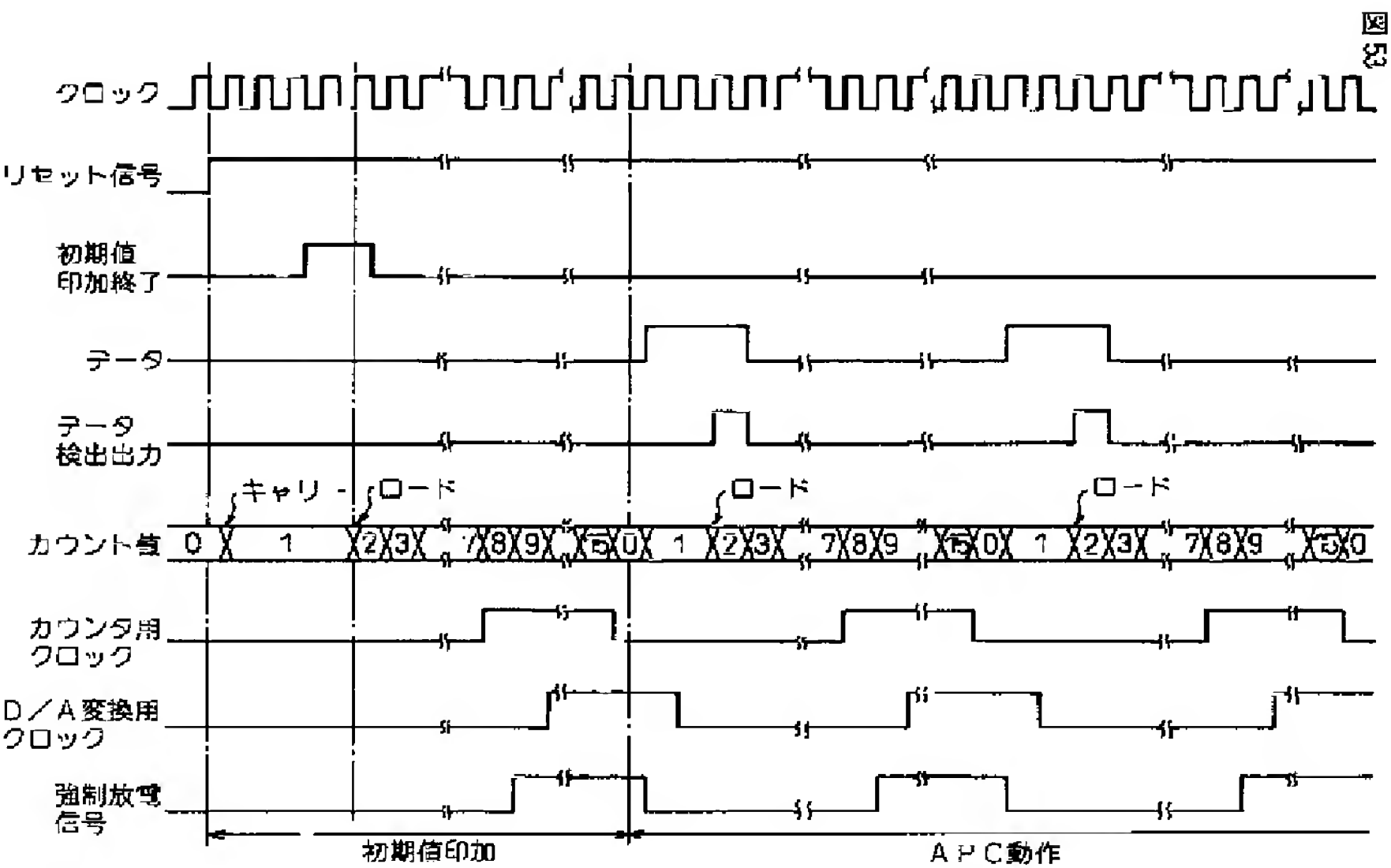
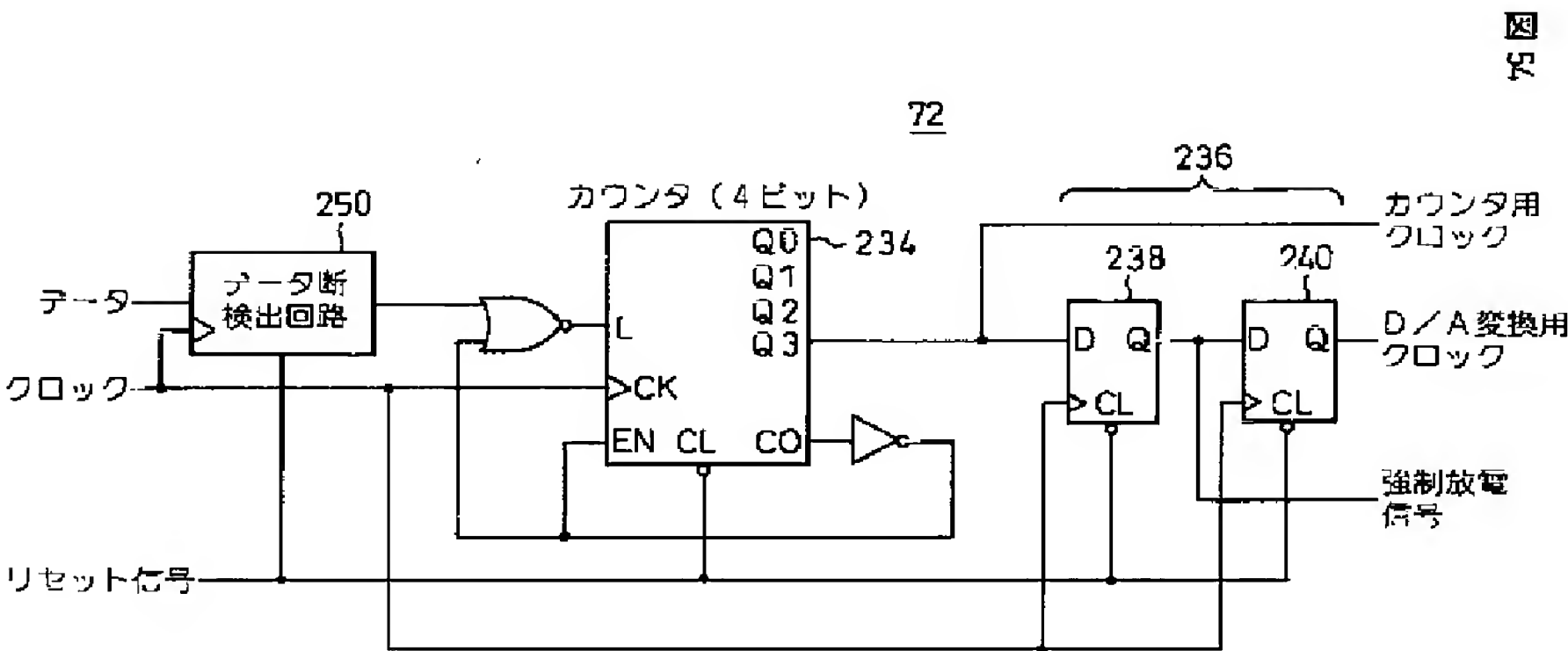


図52

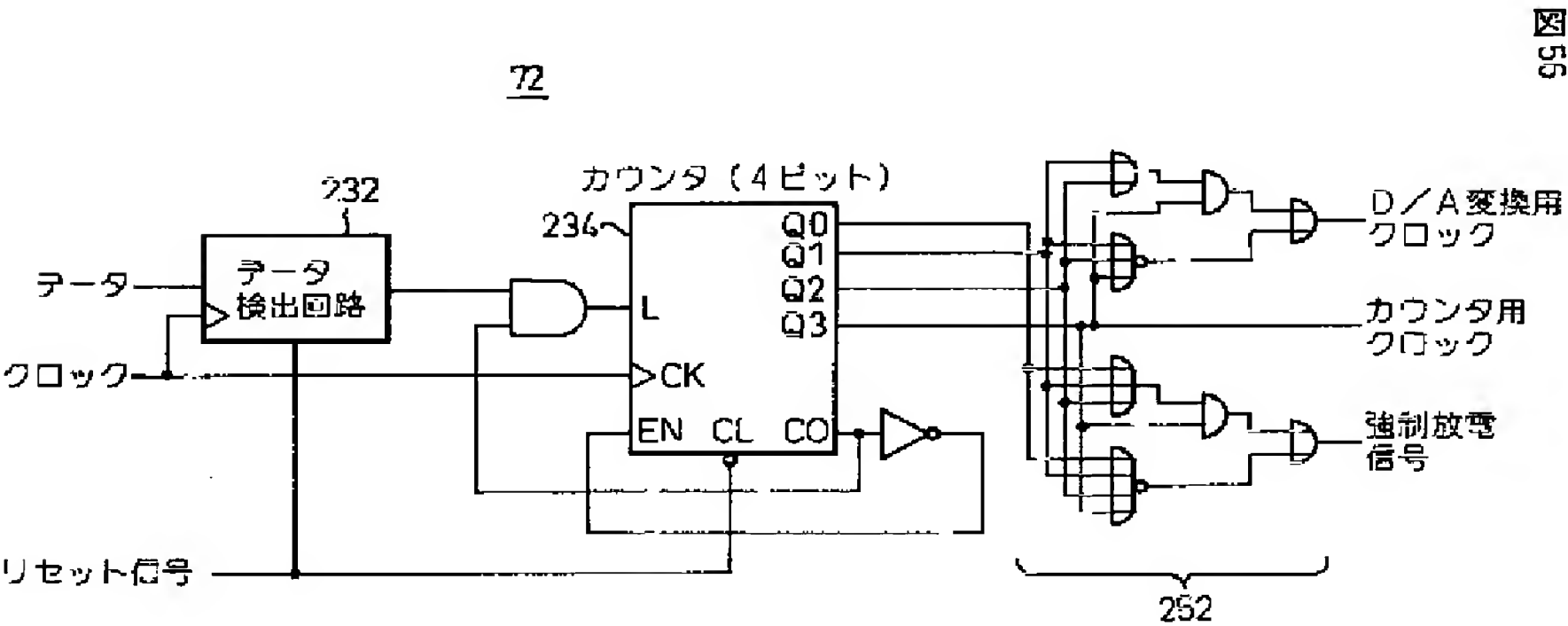
【 53 】



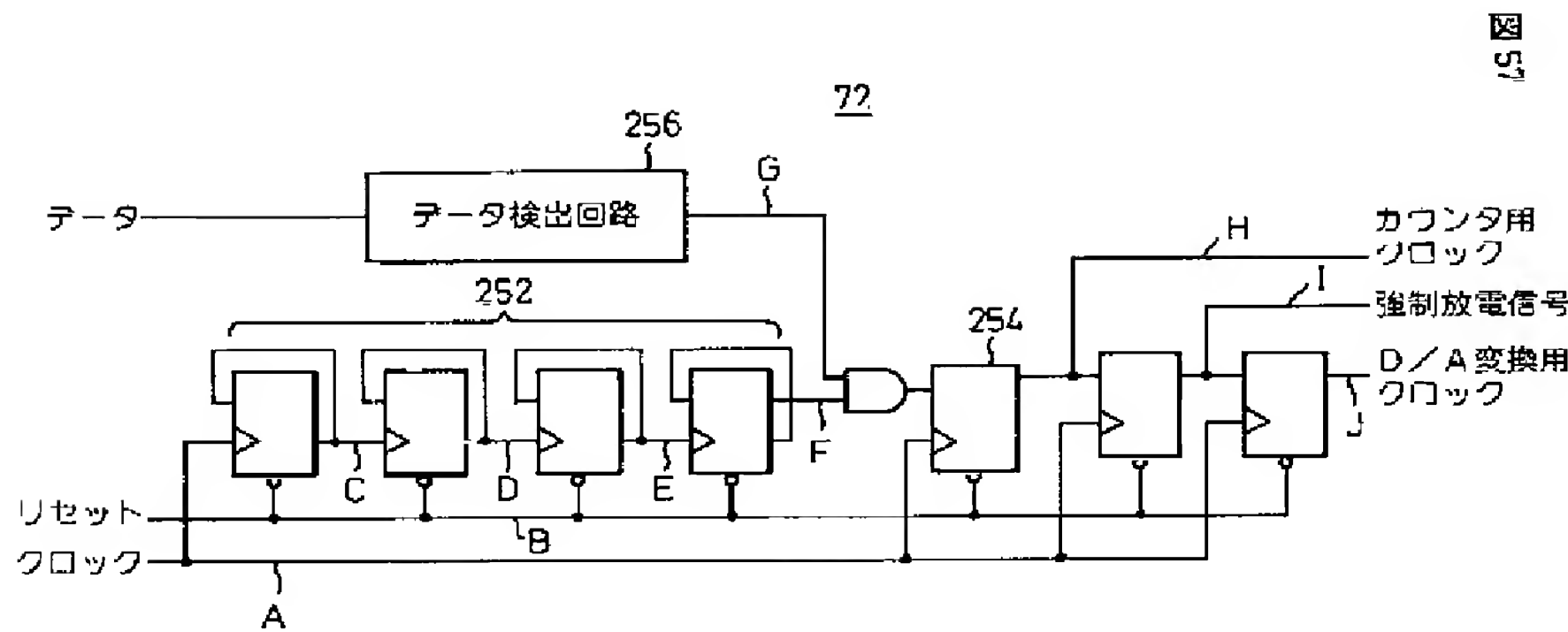
【 54 】



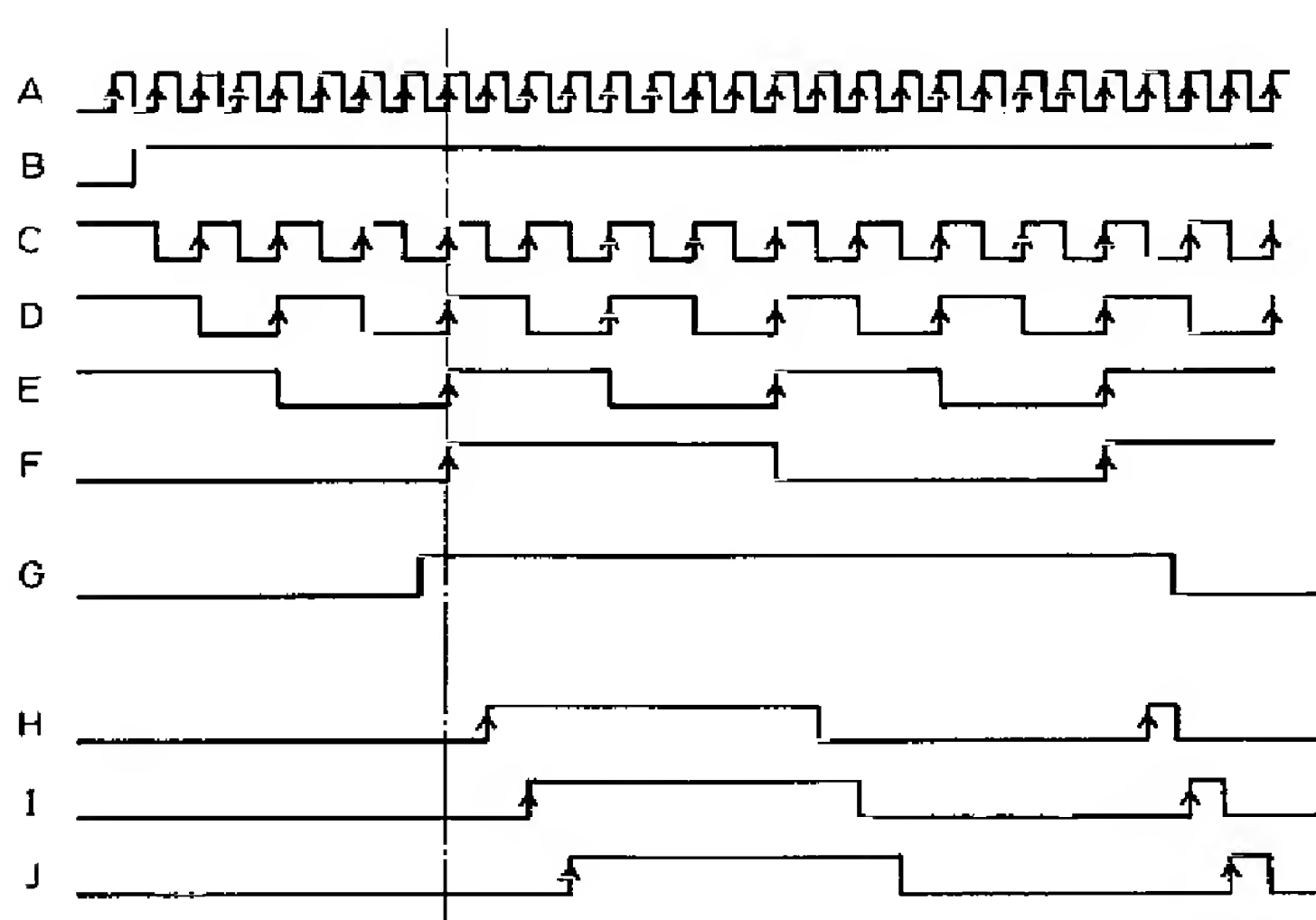
【 56 】



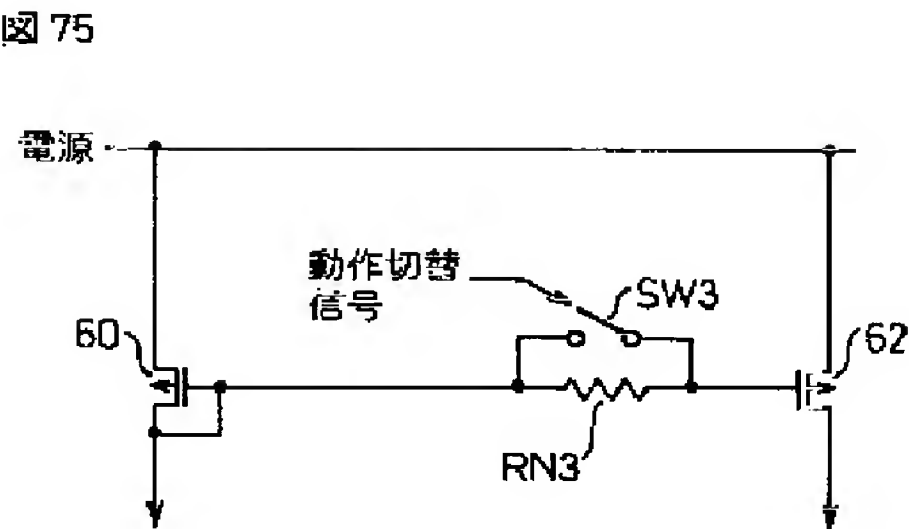
【 57 】



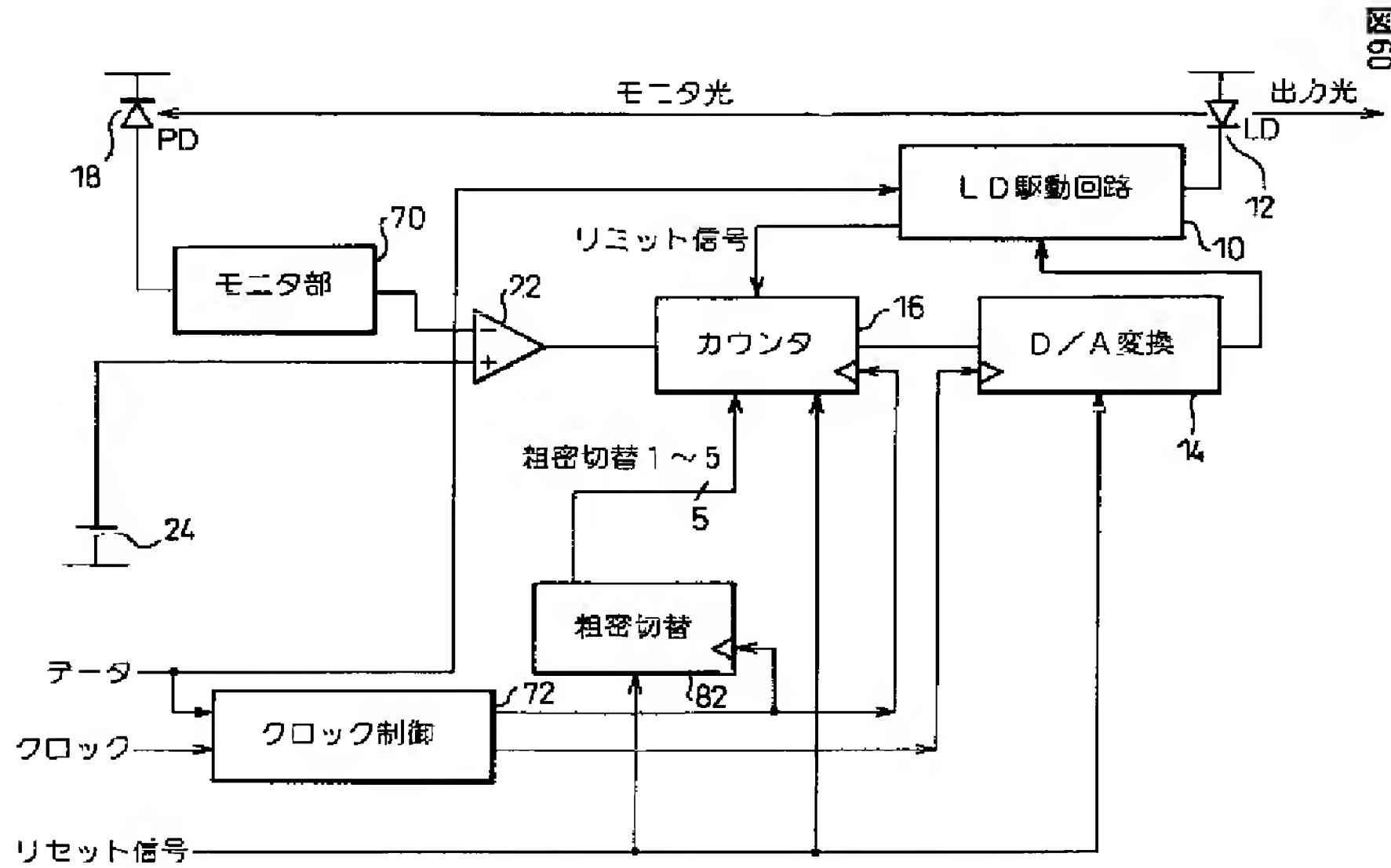
【 59 】



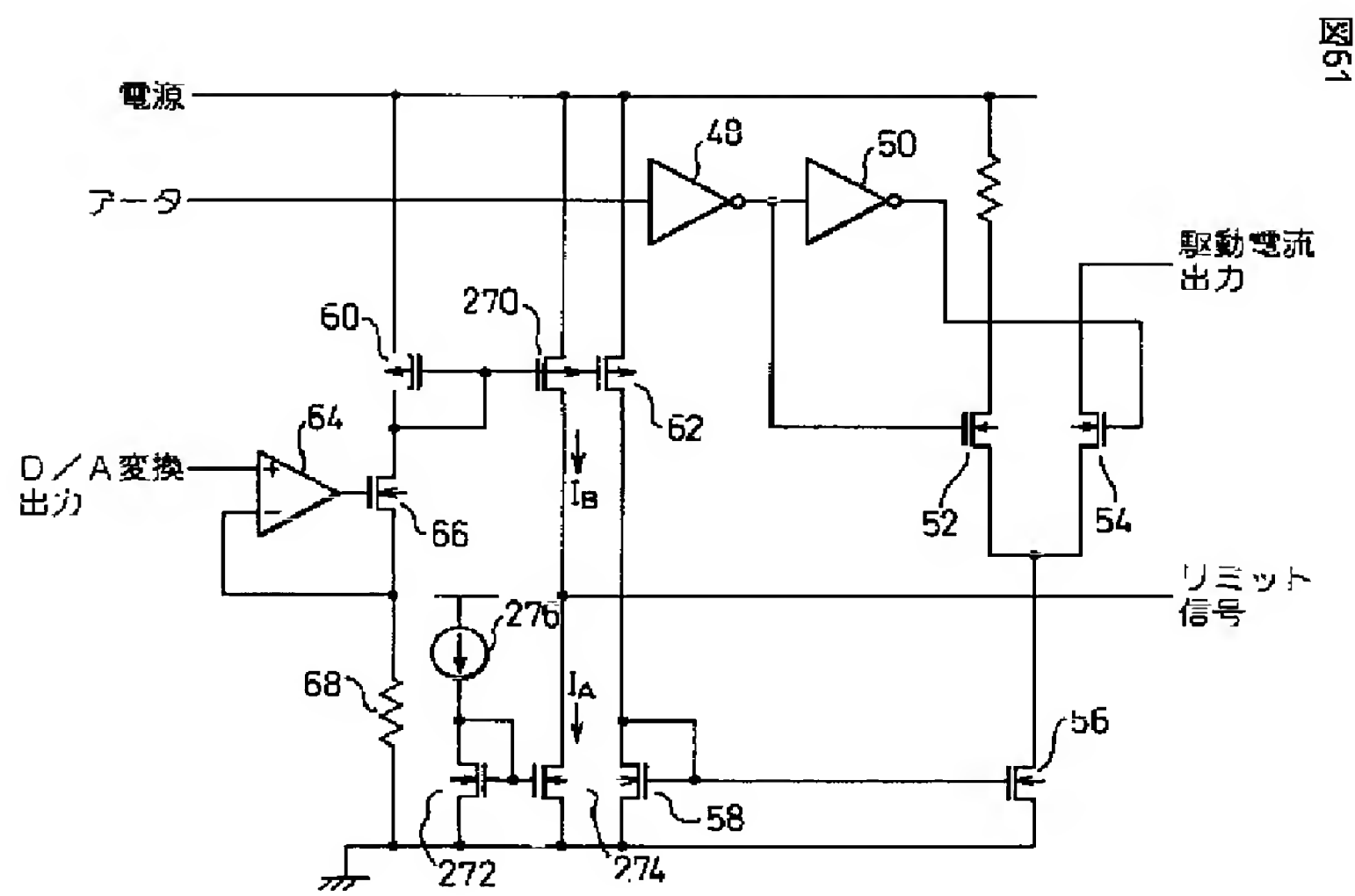
【 75 】



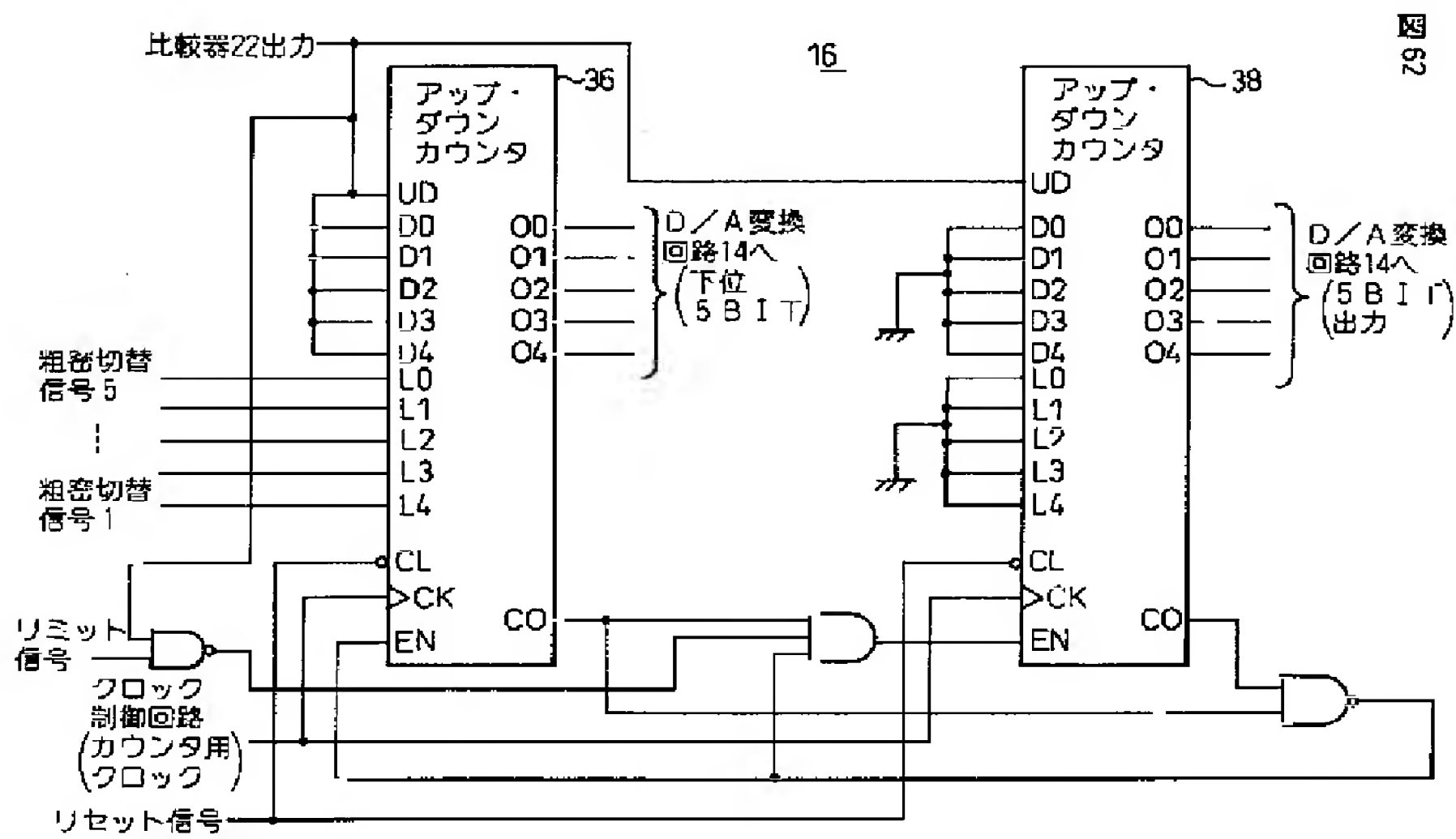
【 60 】



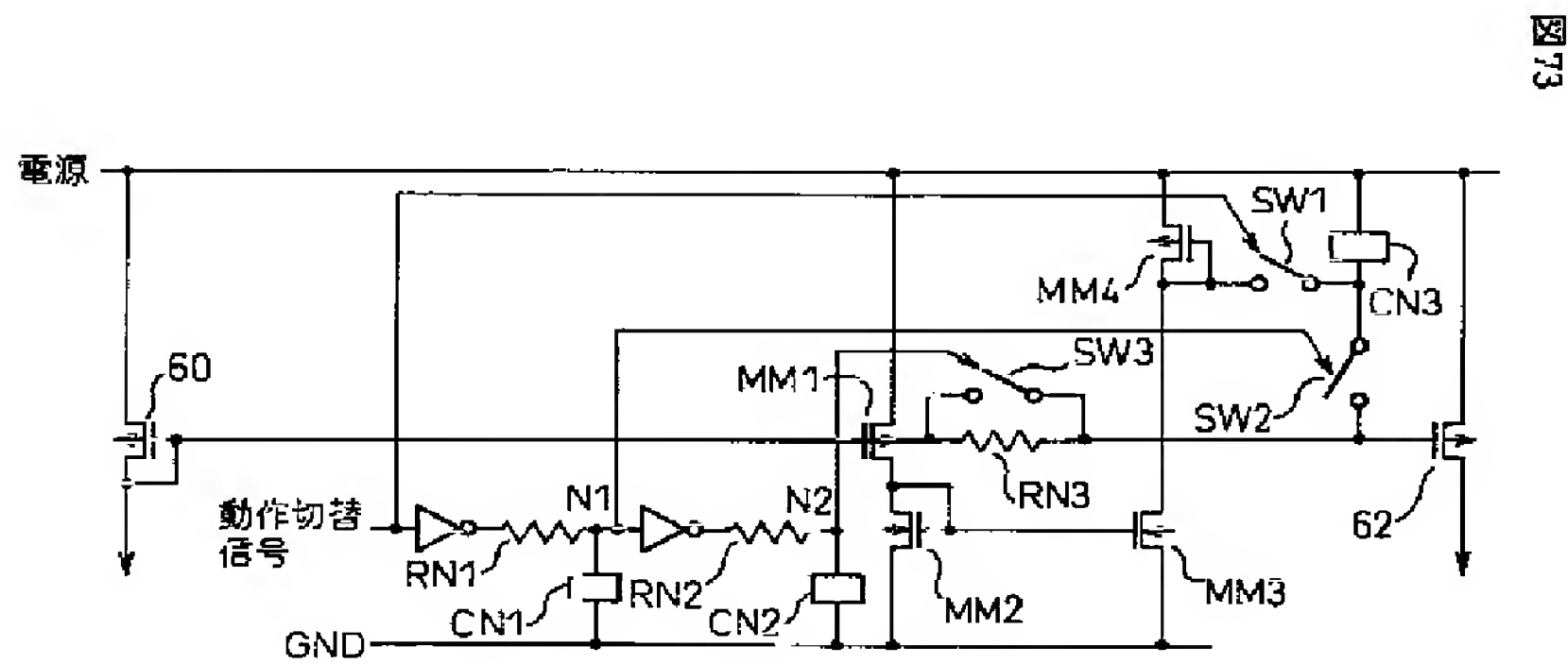
【 図 6 1 】



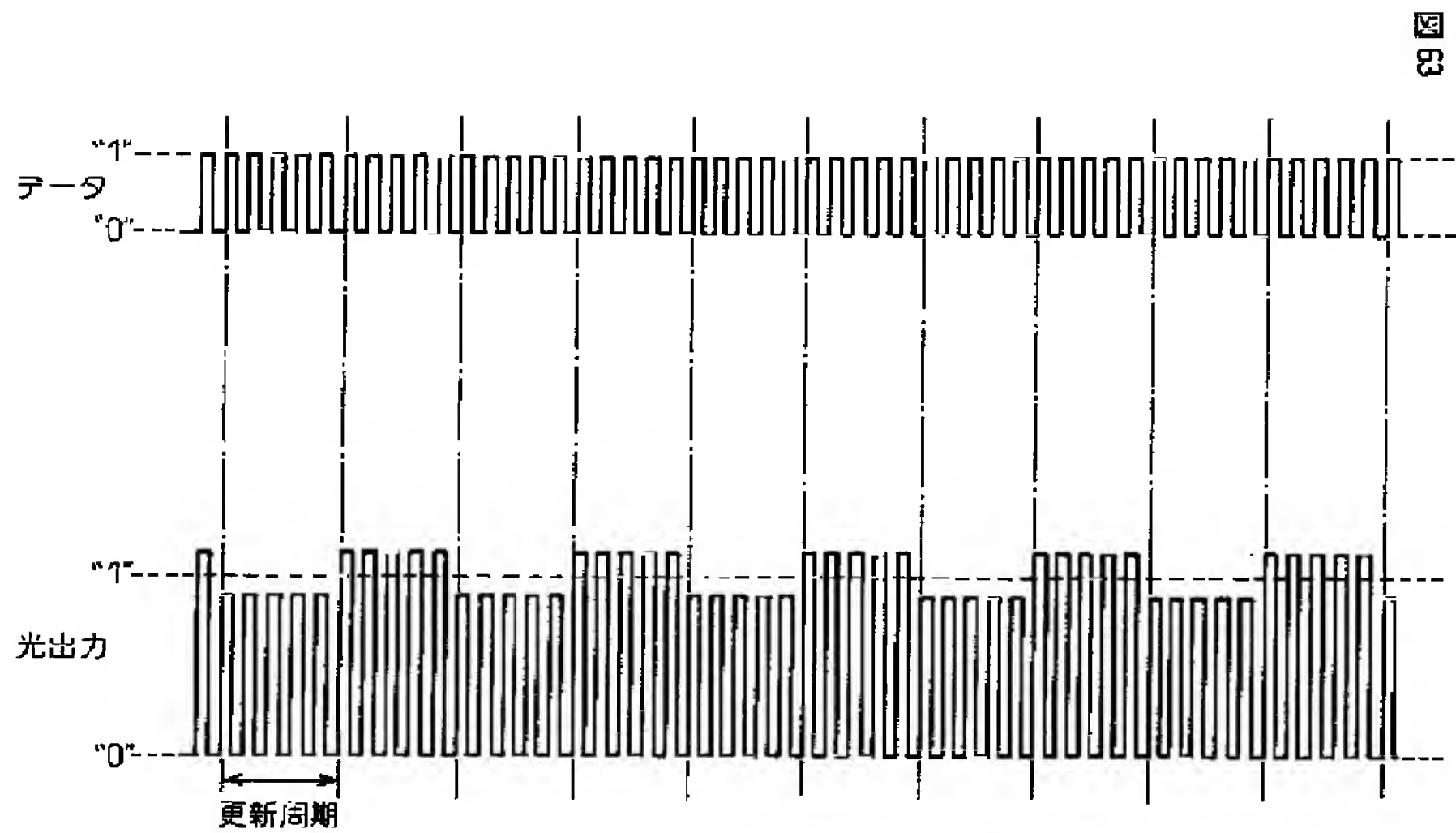
【 図 6 2 】



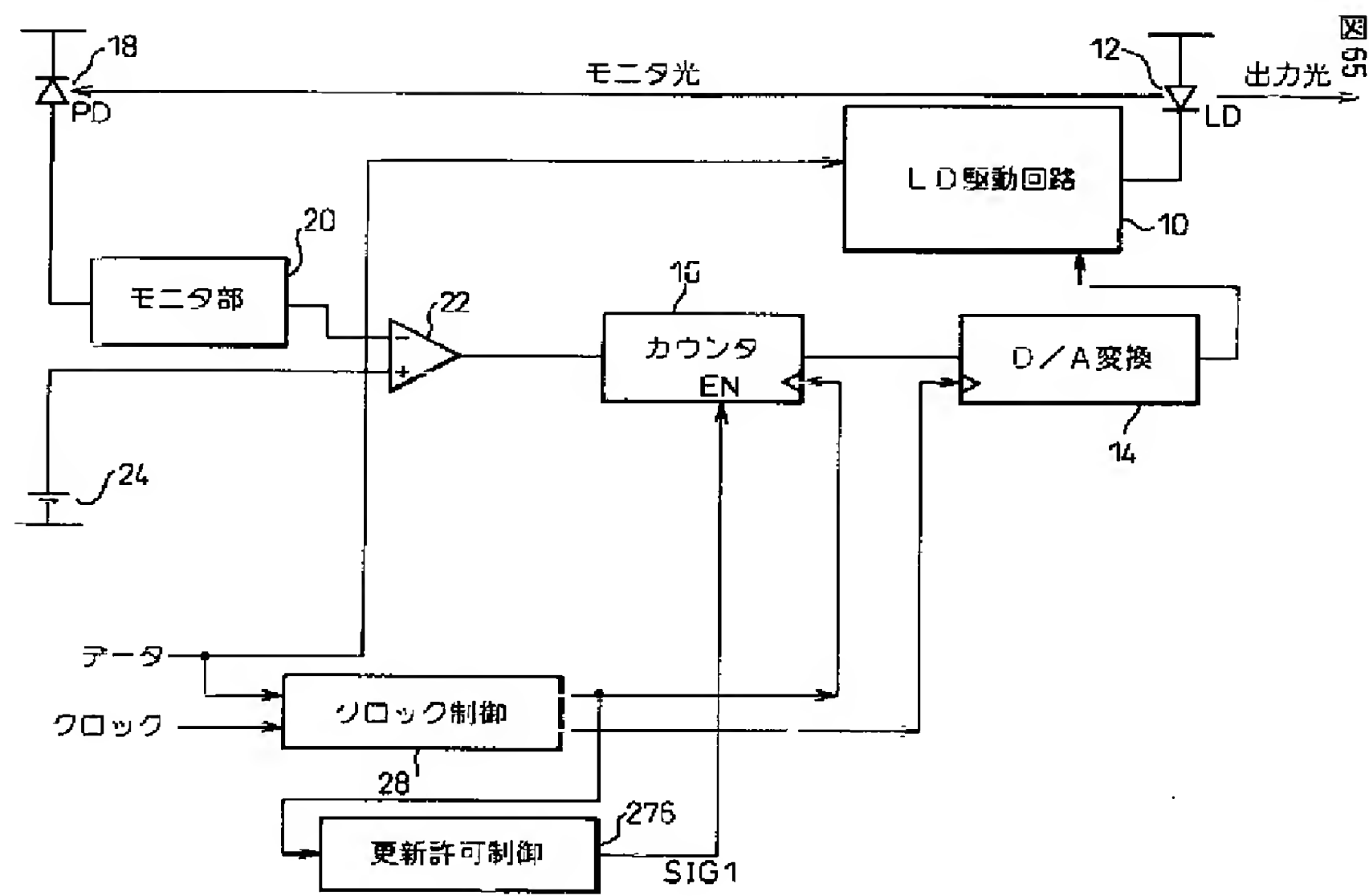
【 図 7 3 】



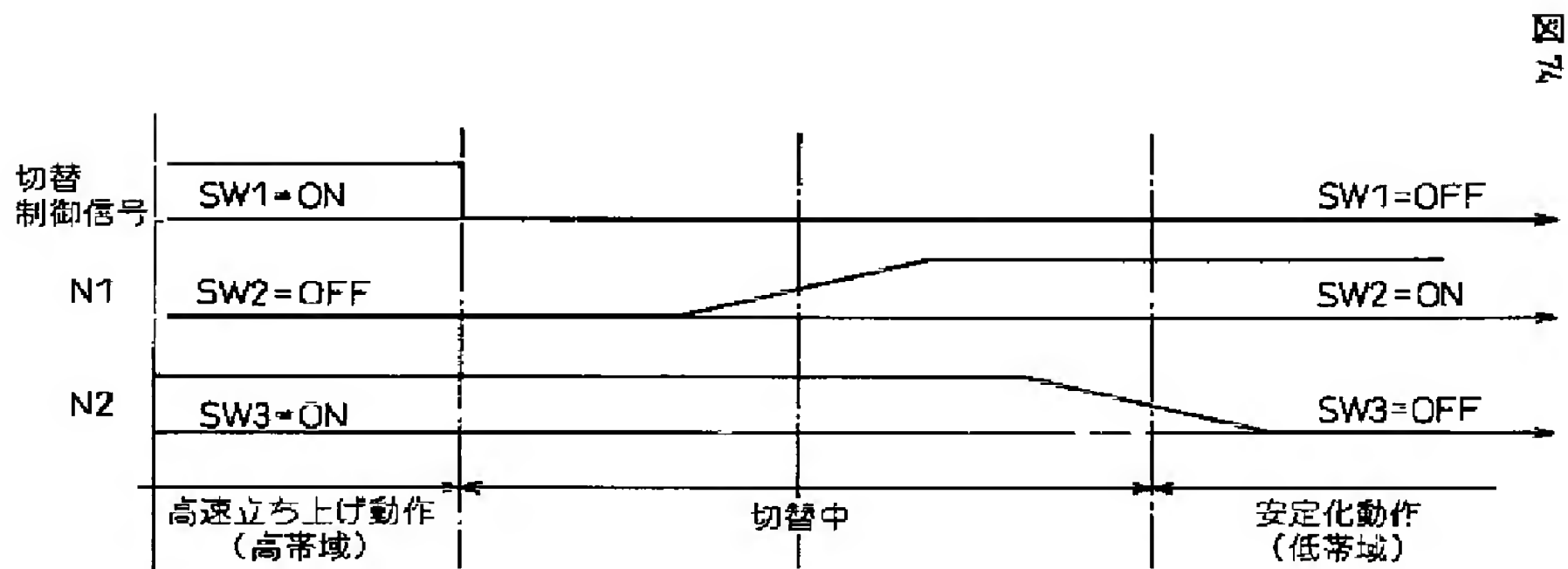
【図63】



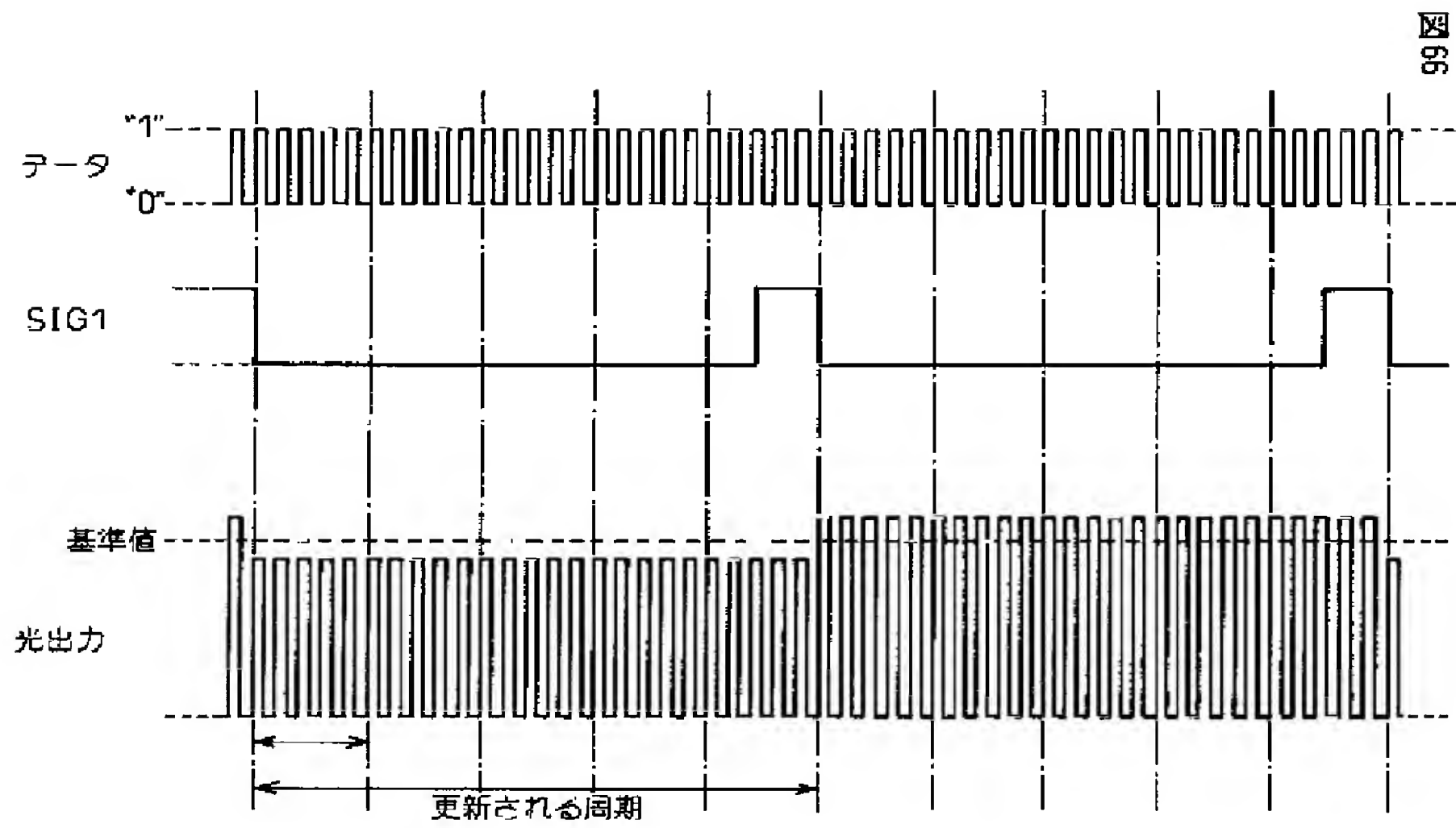
【図65】



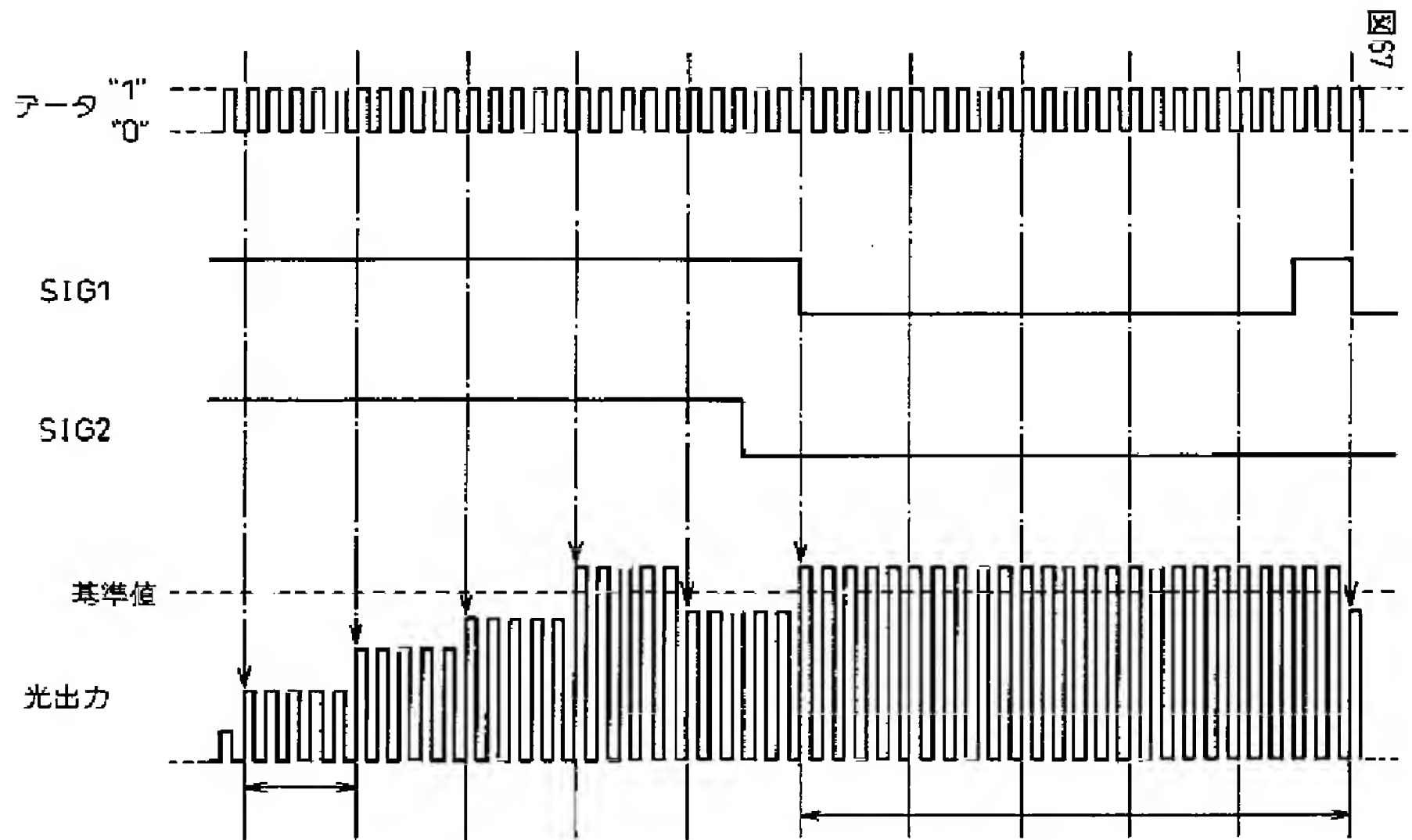
【図74】



【図66】

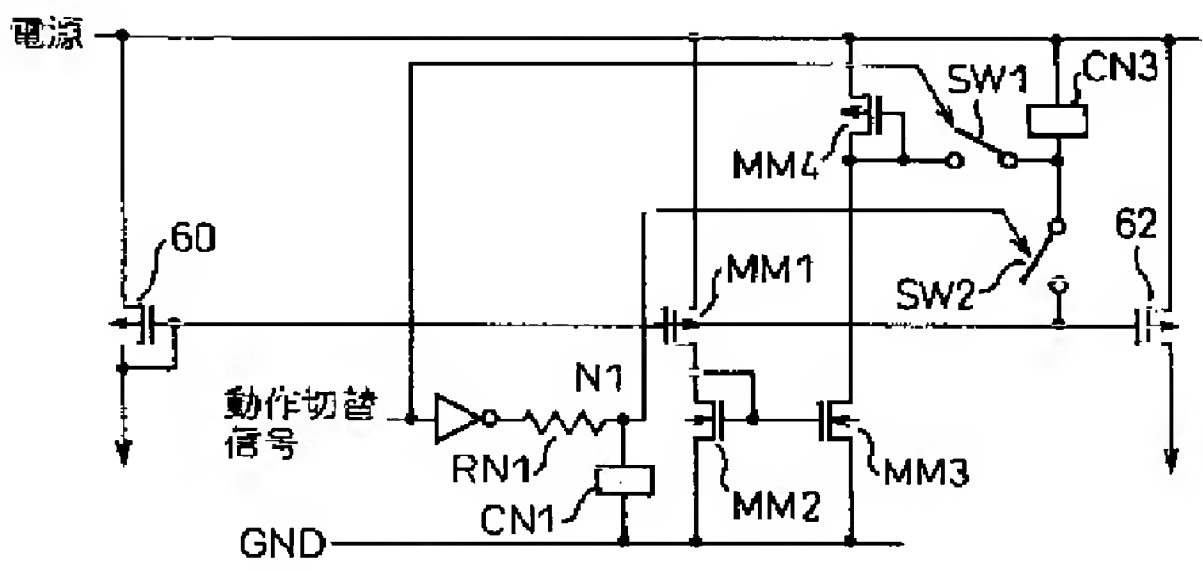


【図67】

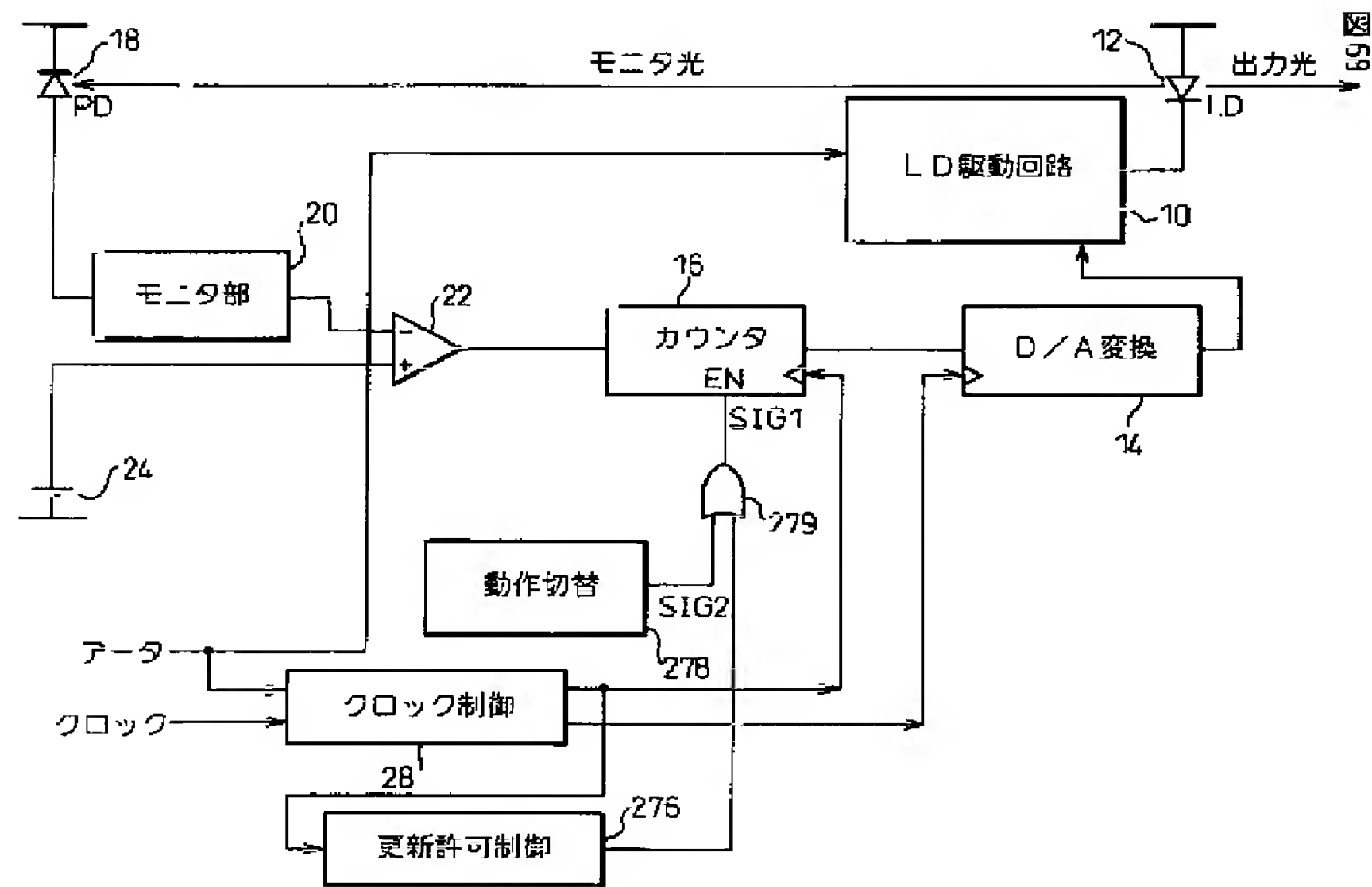


【図76】

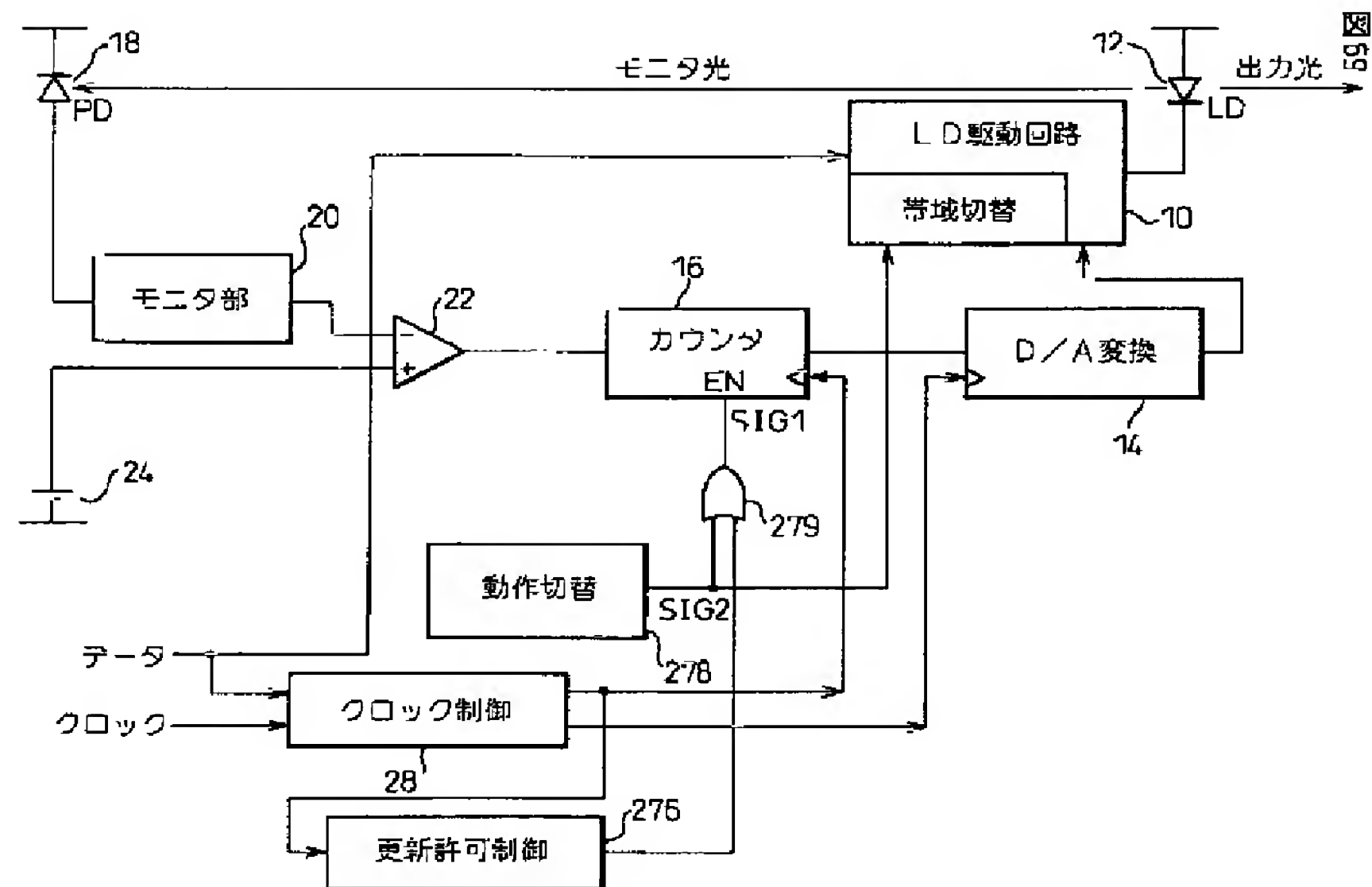
図76



【図68】

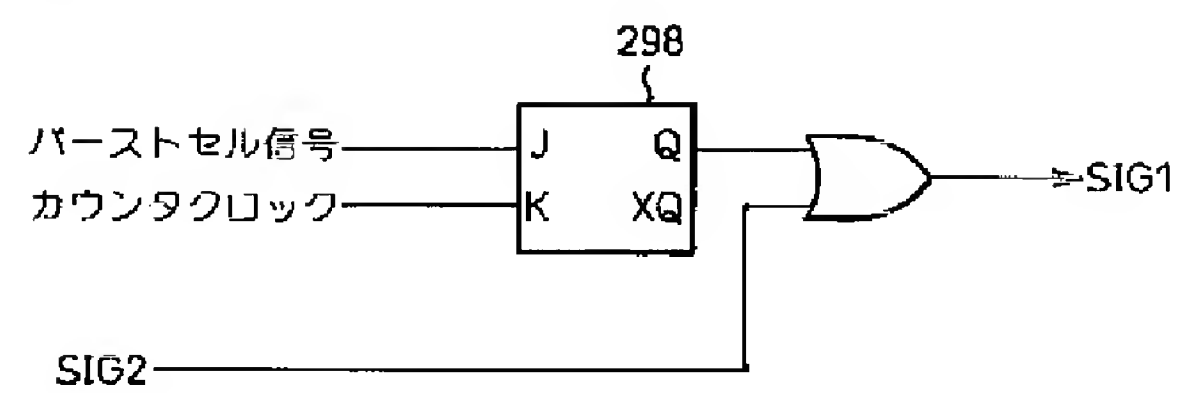


【図69】

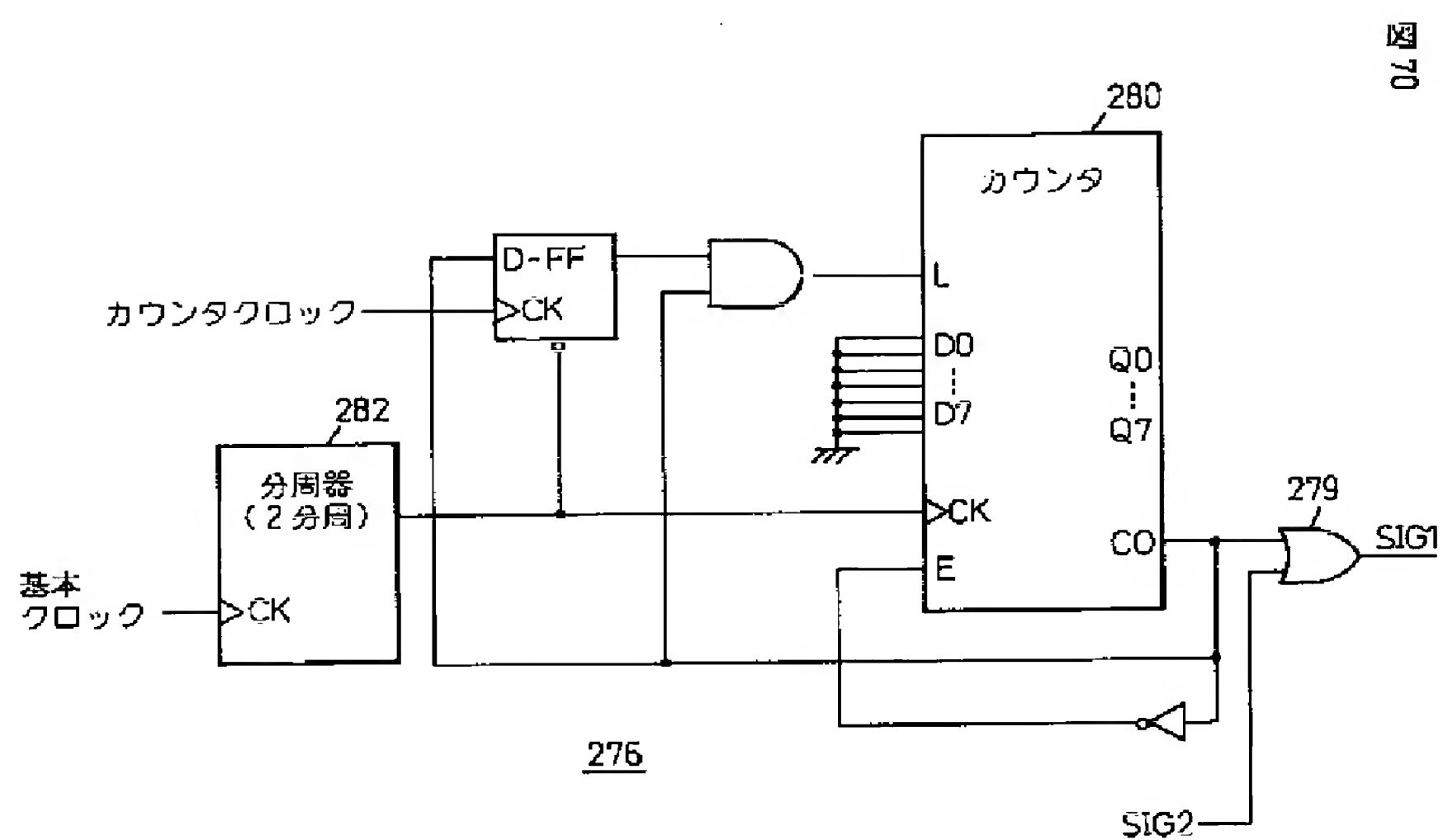


【図91】

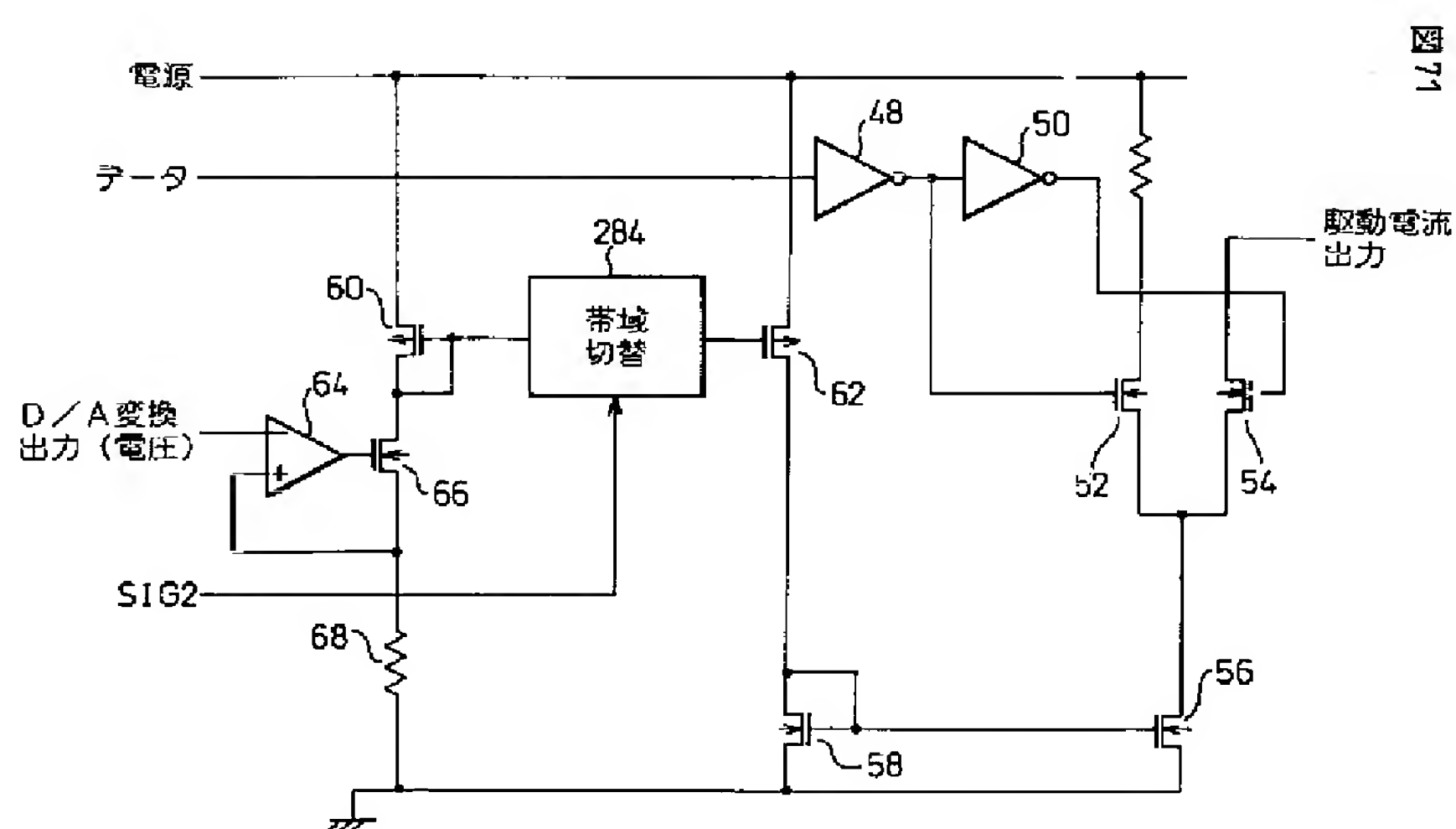
図91



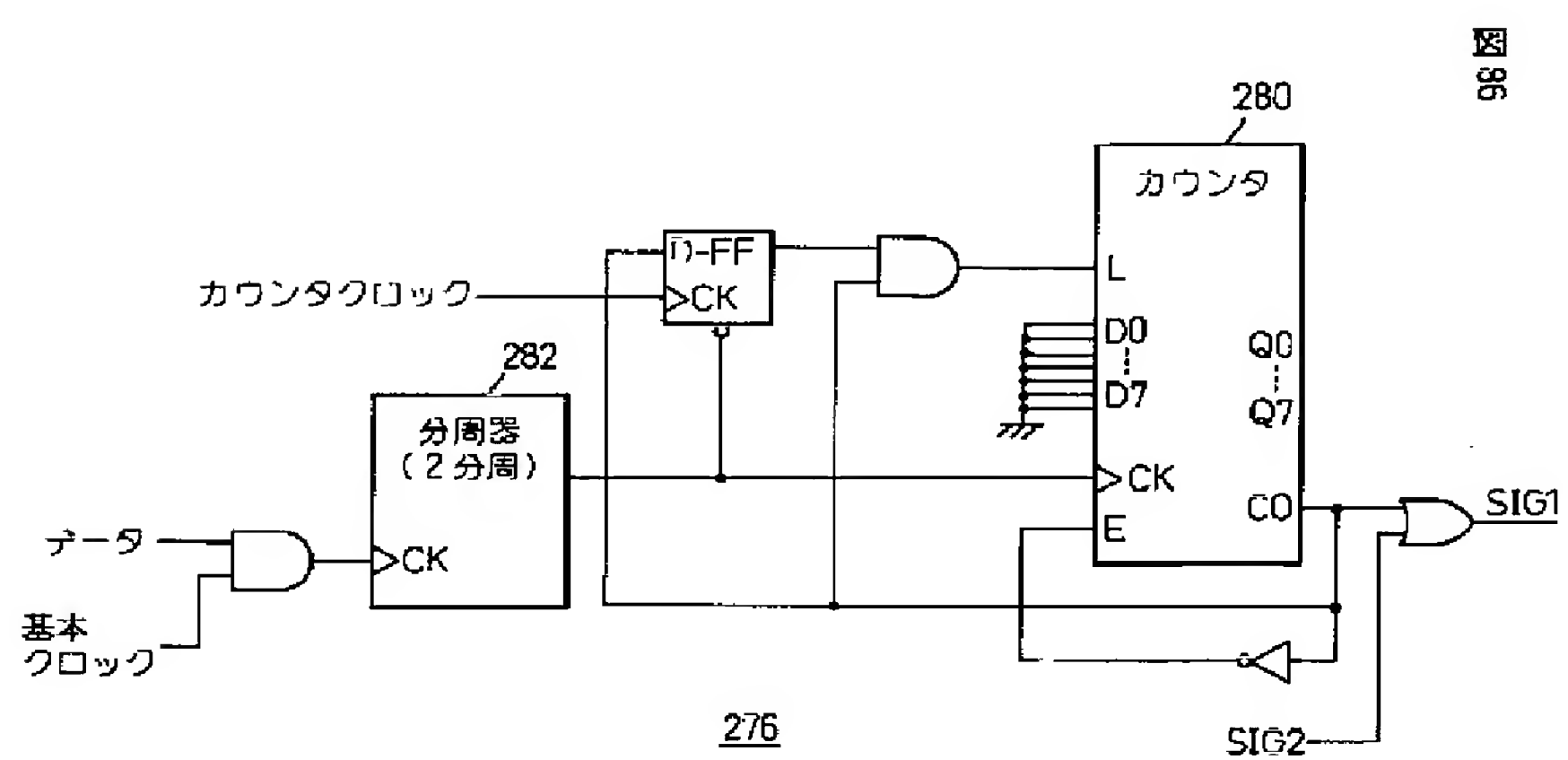
【图 70】



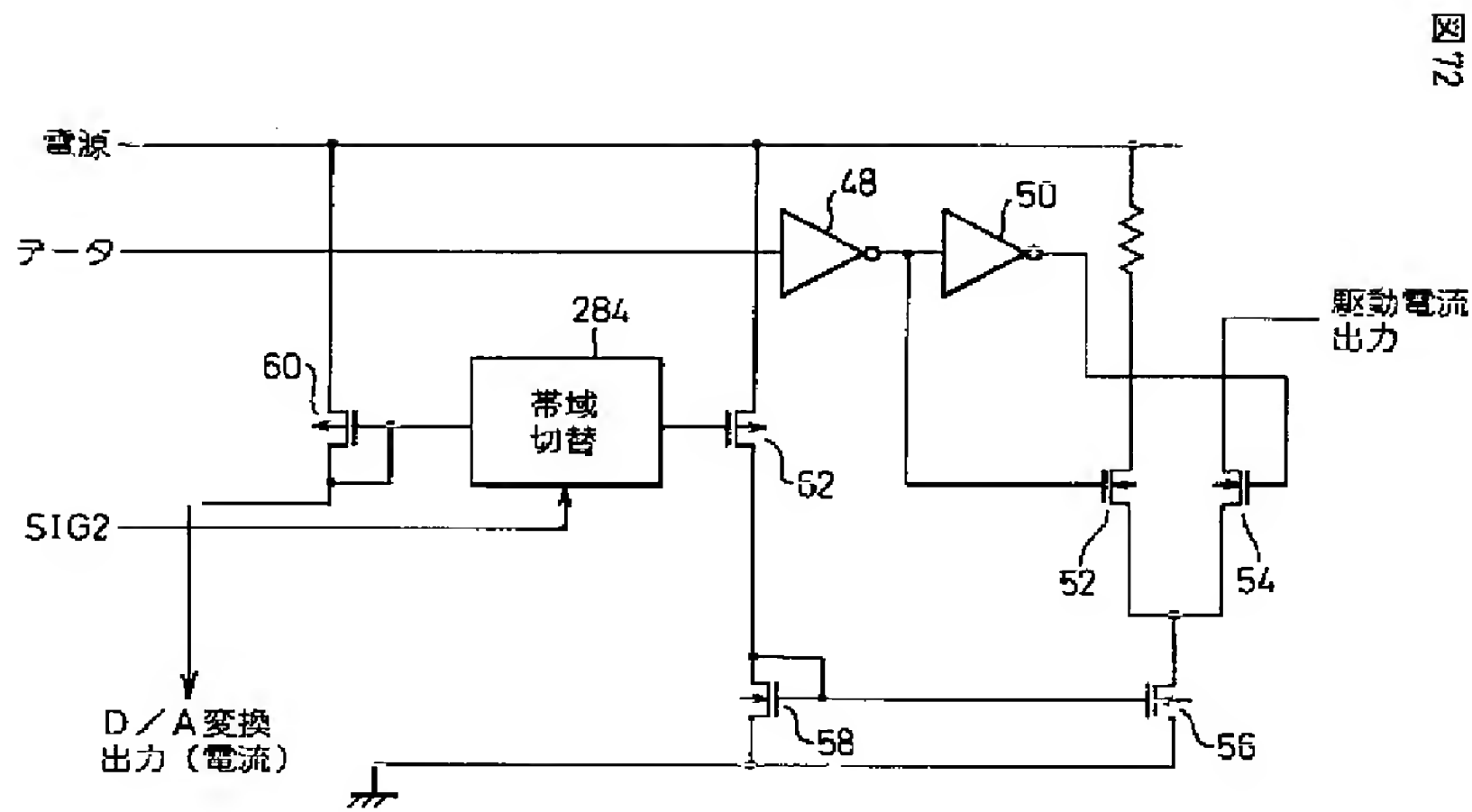
【图 7-1】



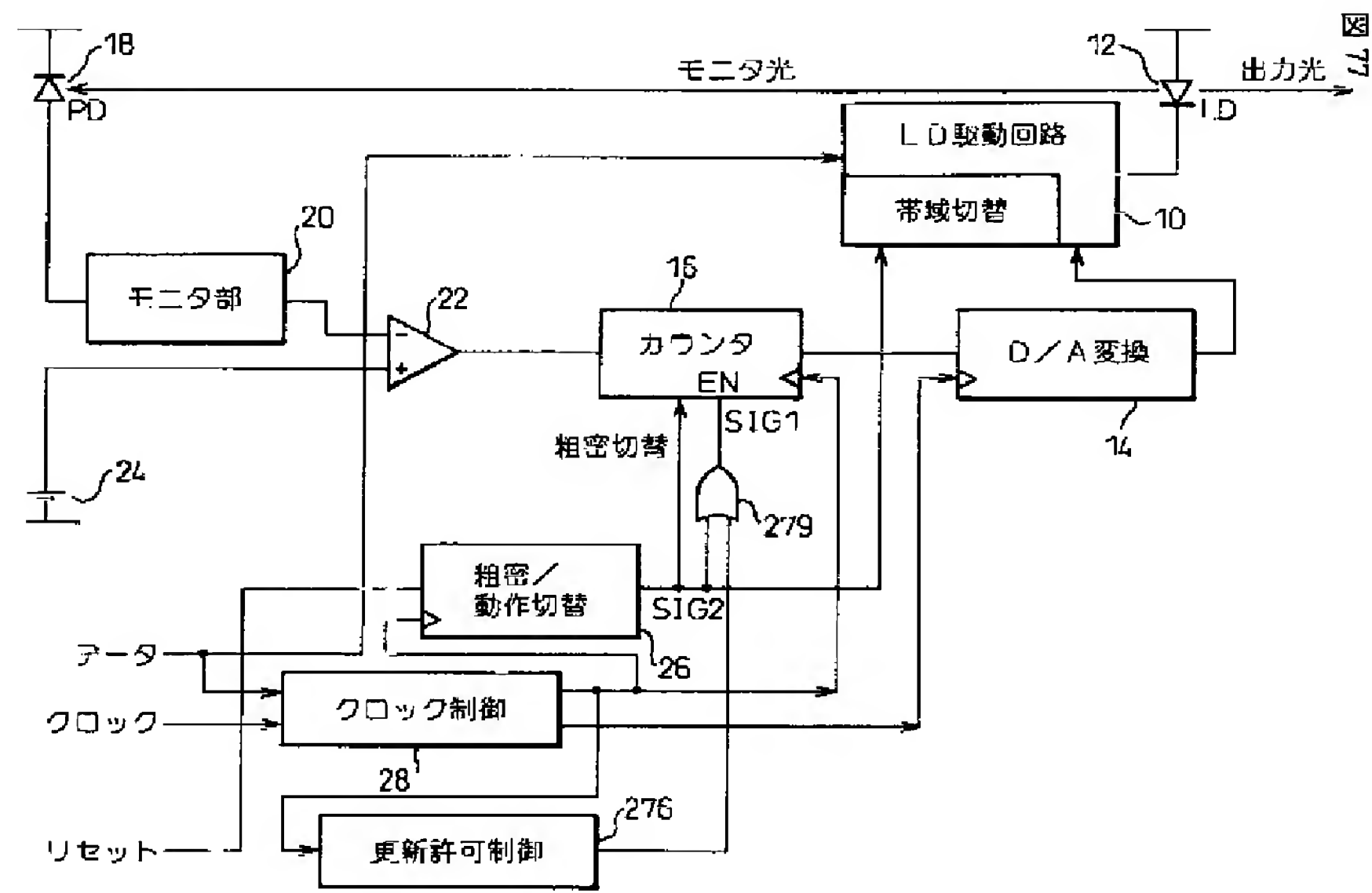
【例 86】



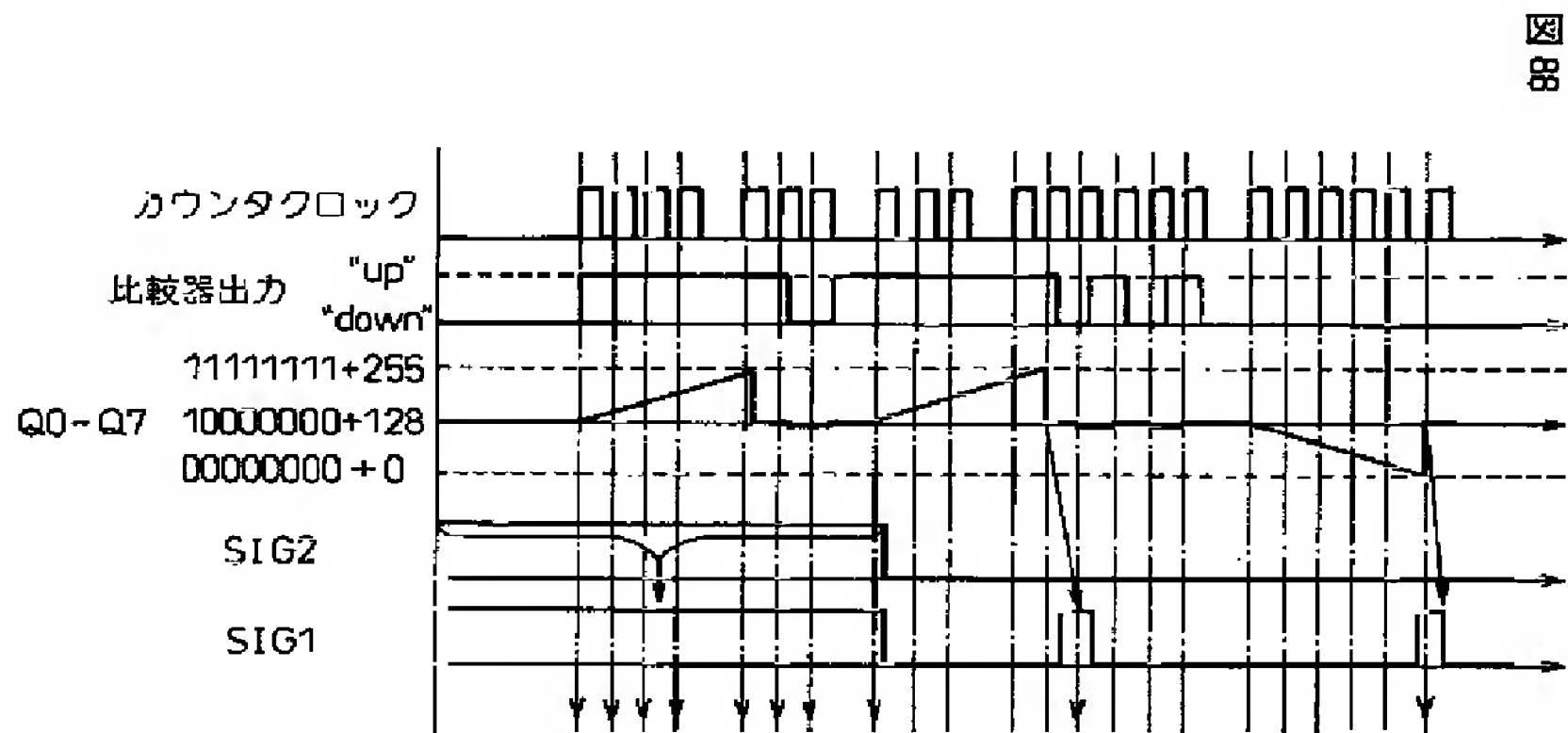
【図72】



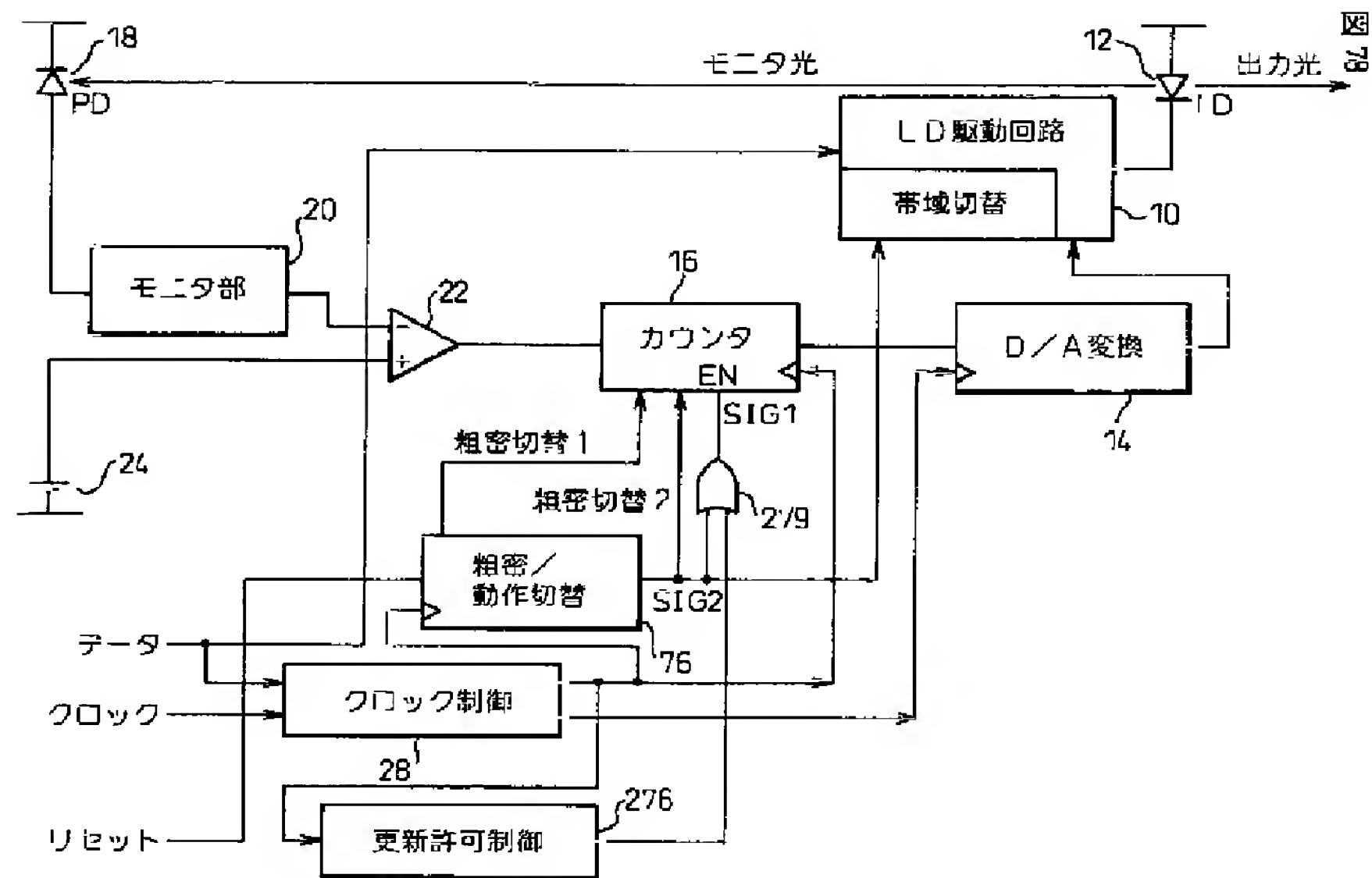
【図77】



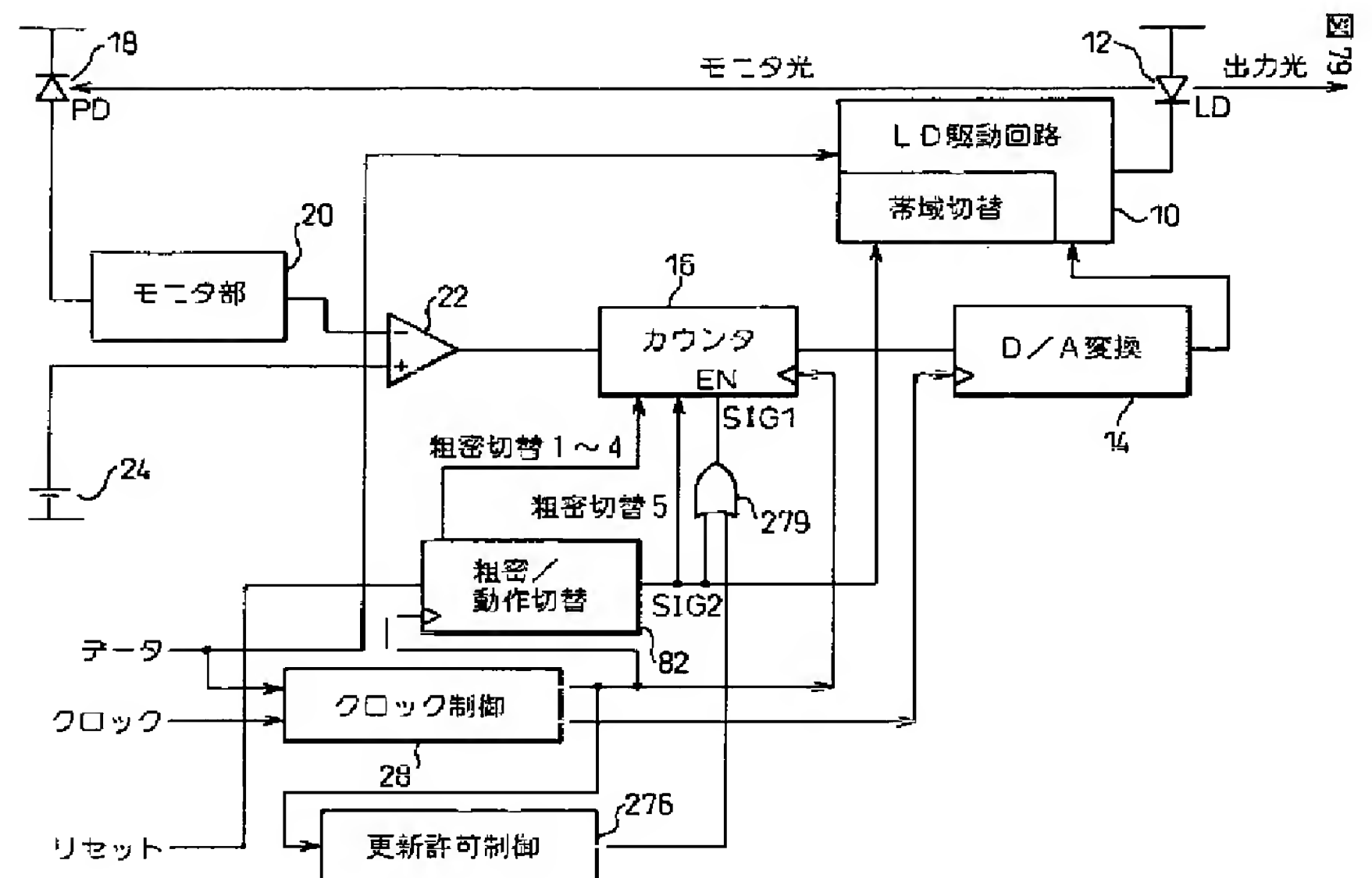
【図88】



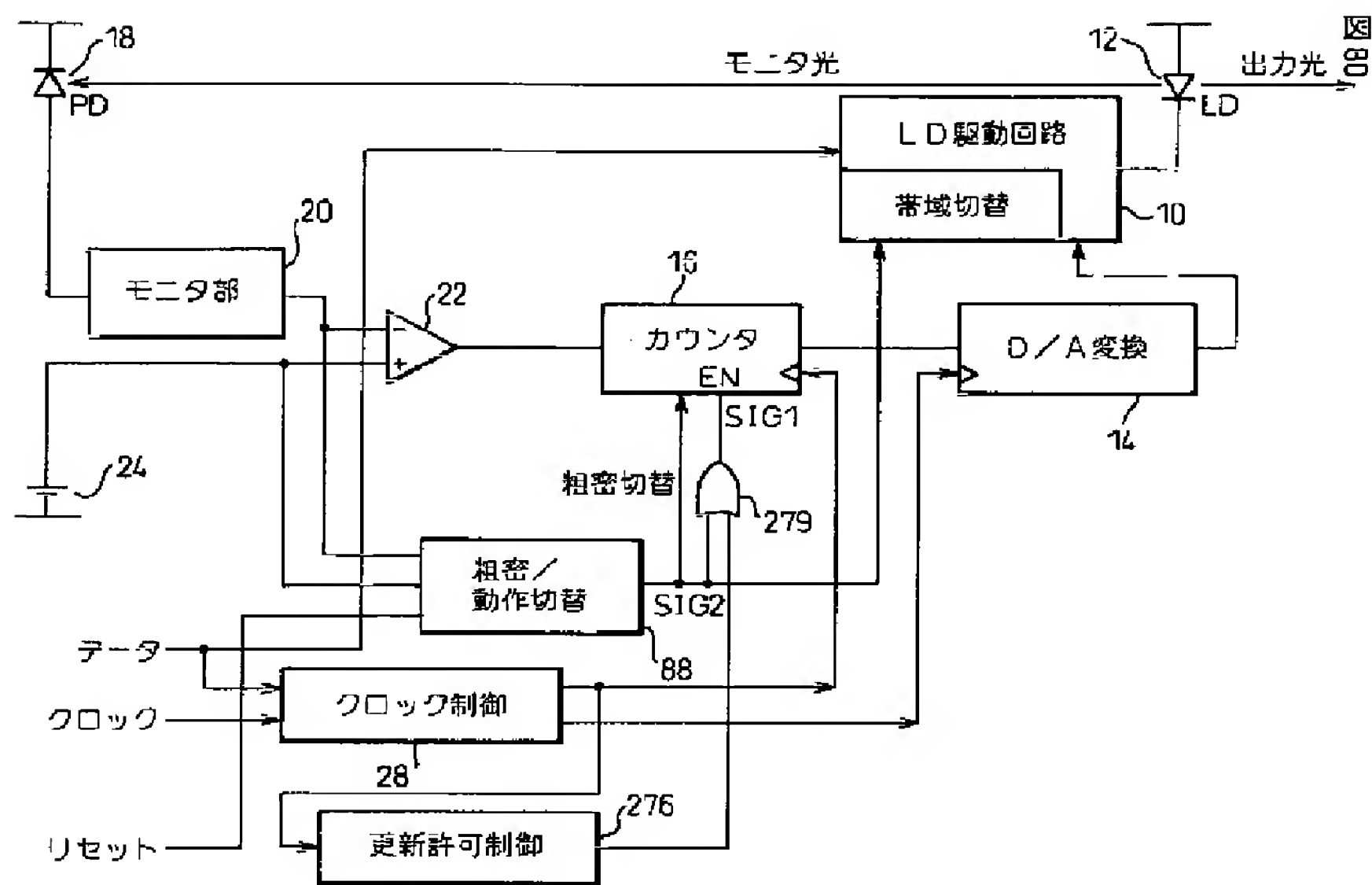
【図78】



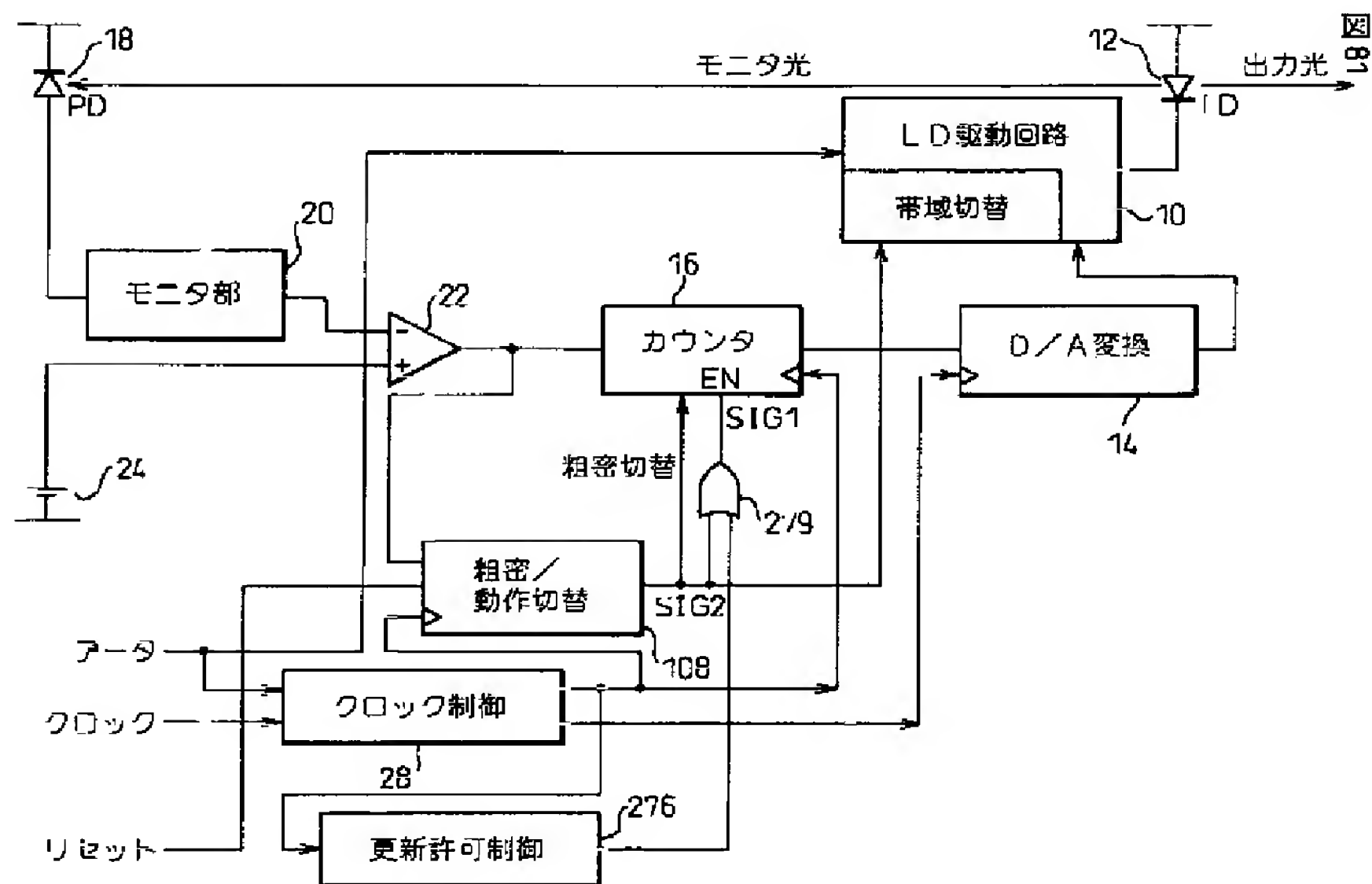
【図79】



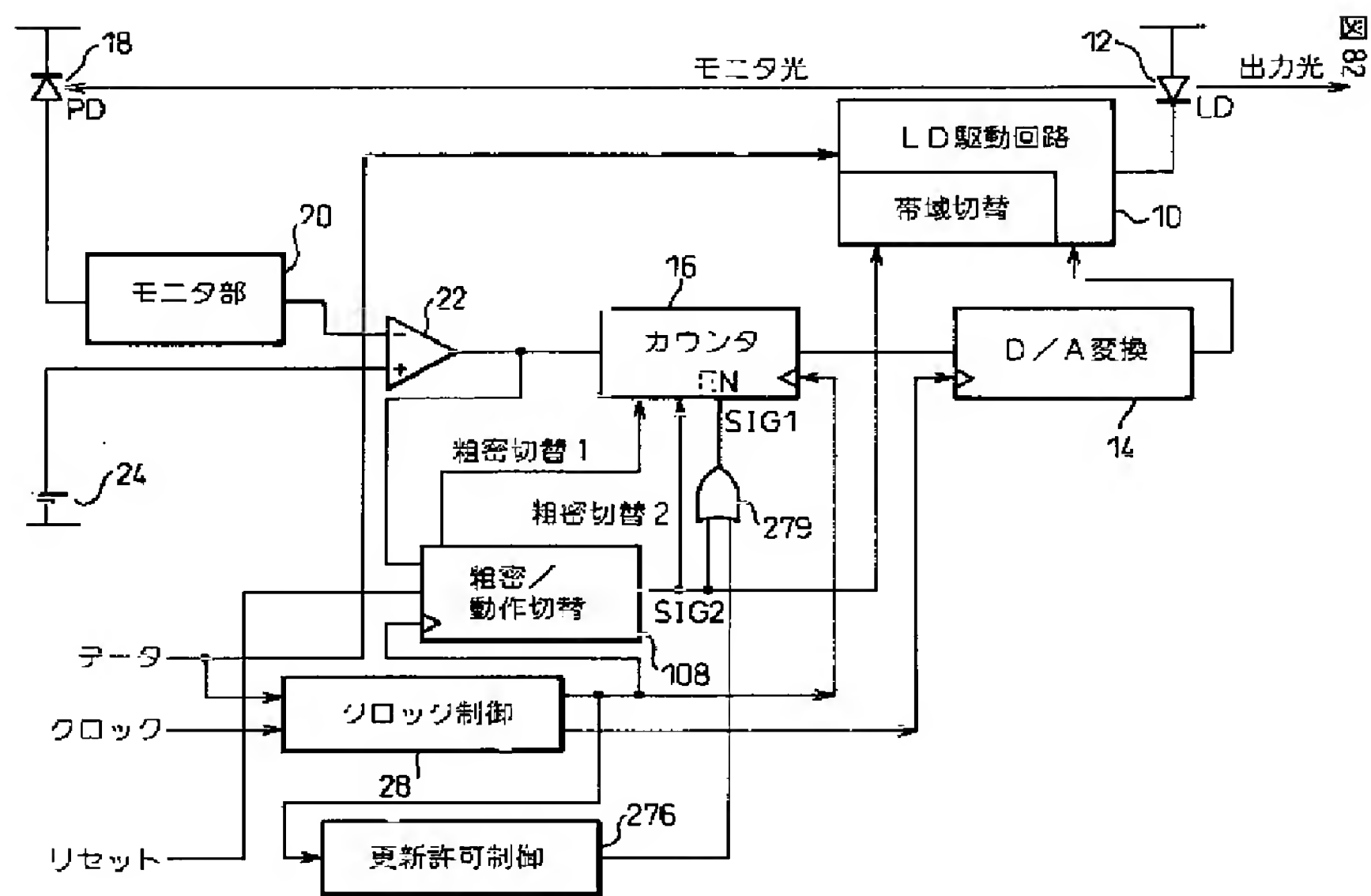
【図80】



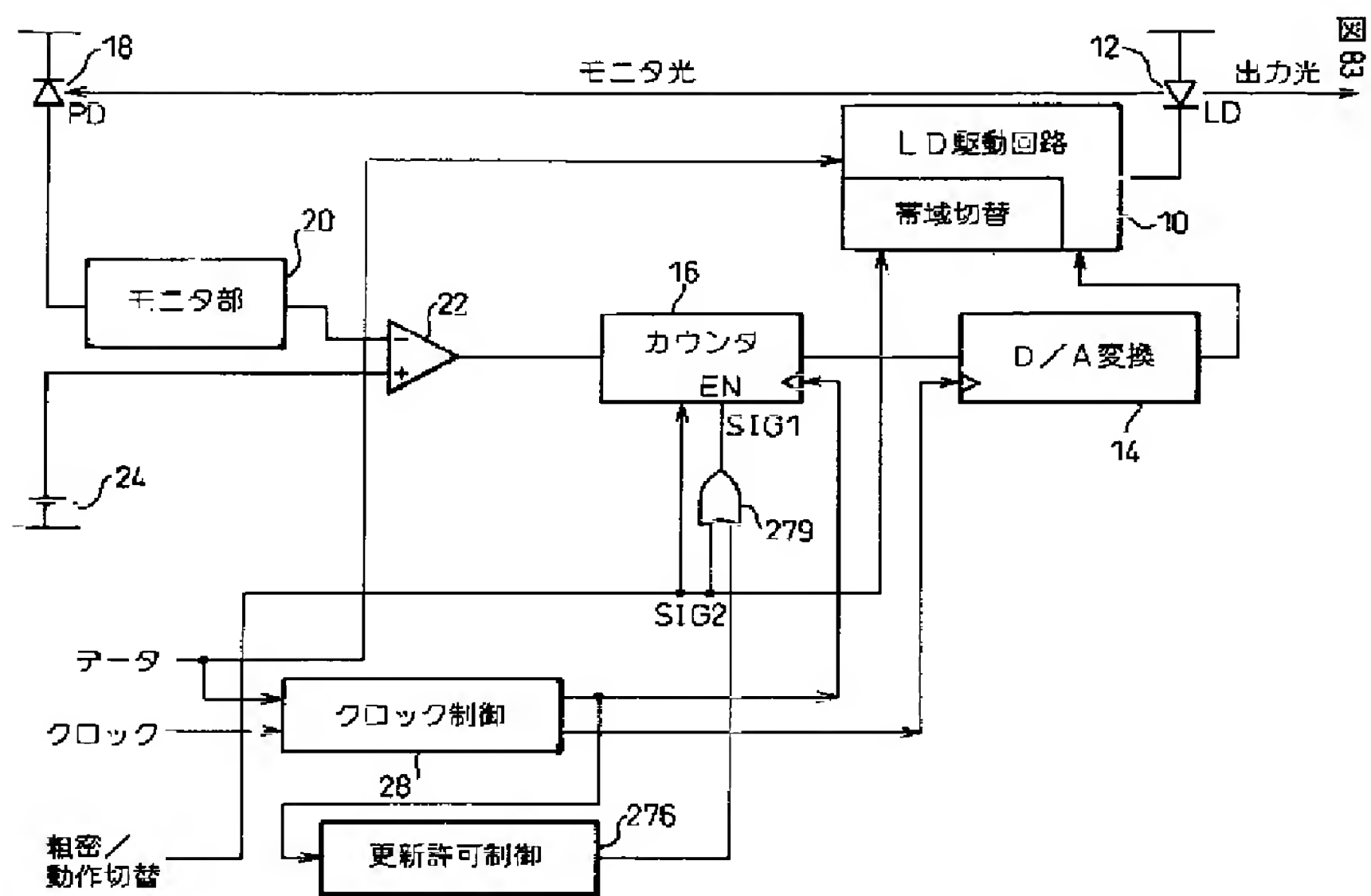
【図81】



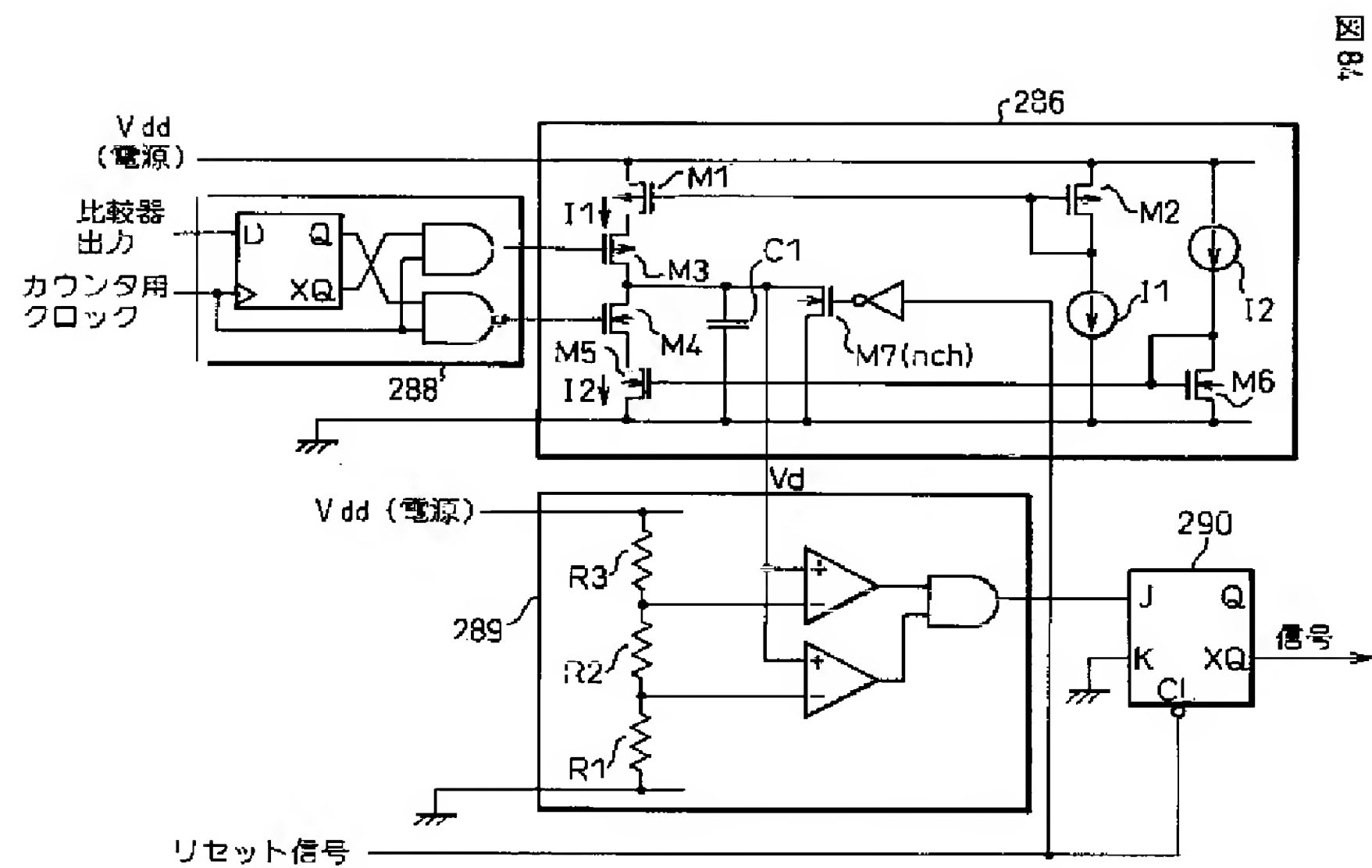
【図82】



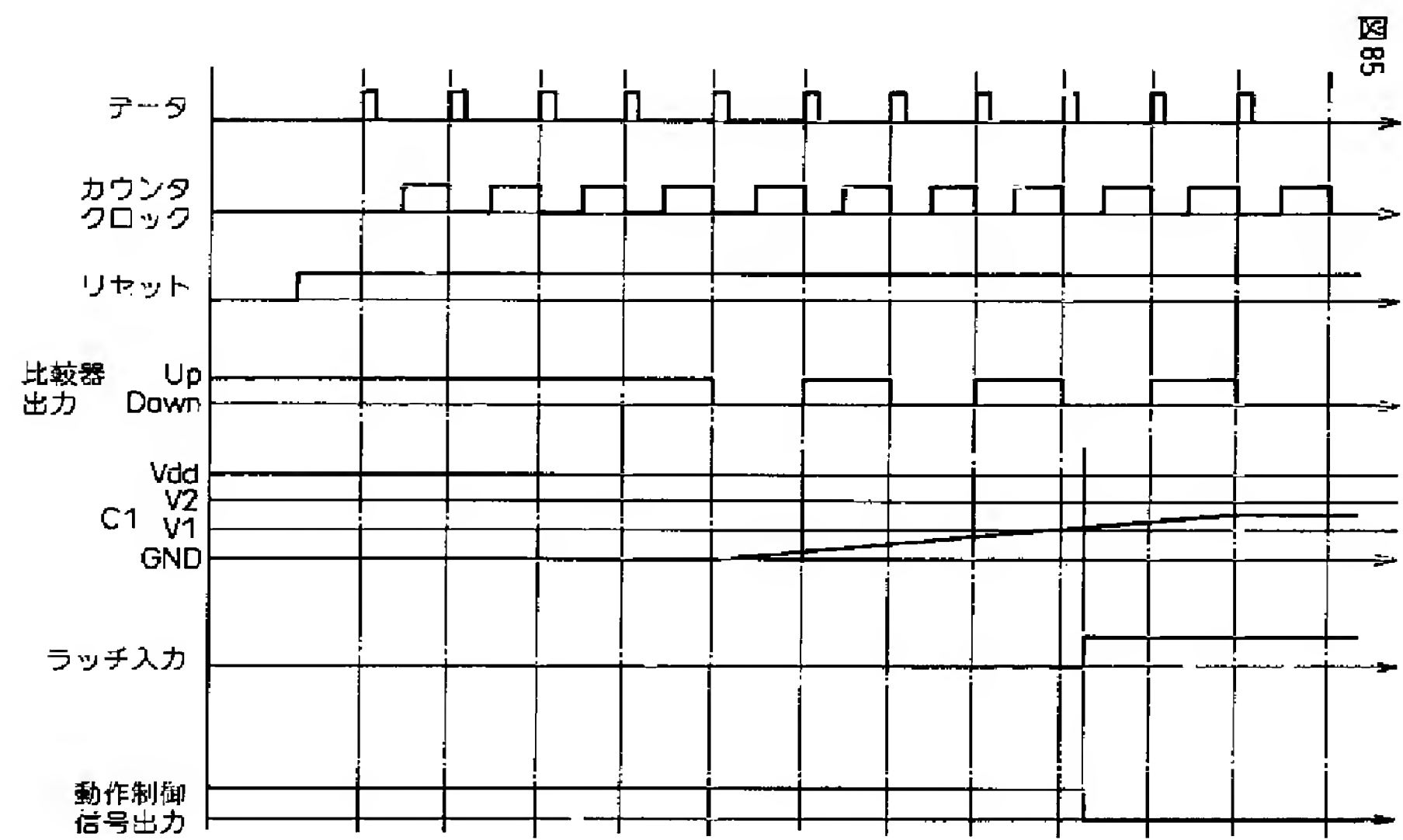
【図83】



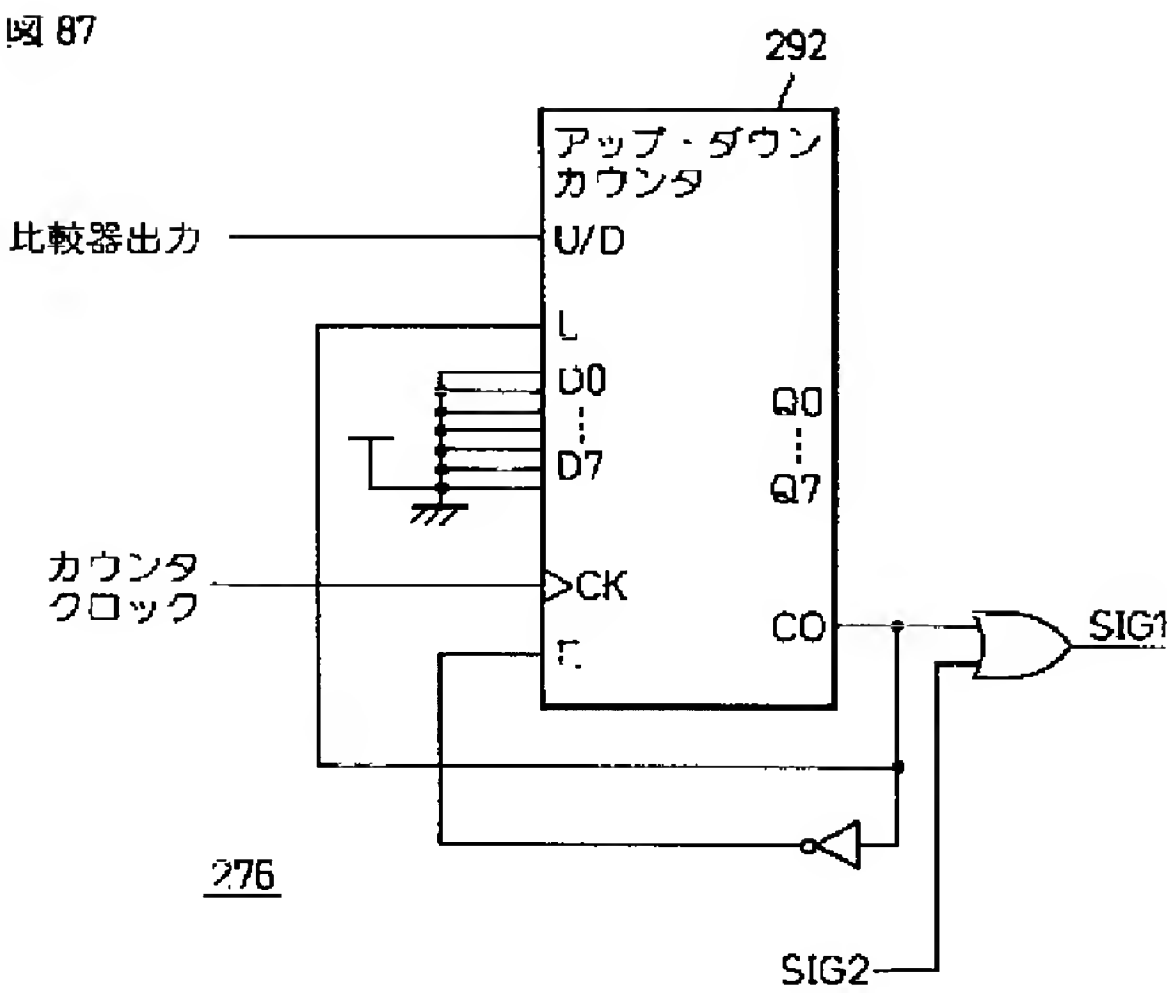
【図84】



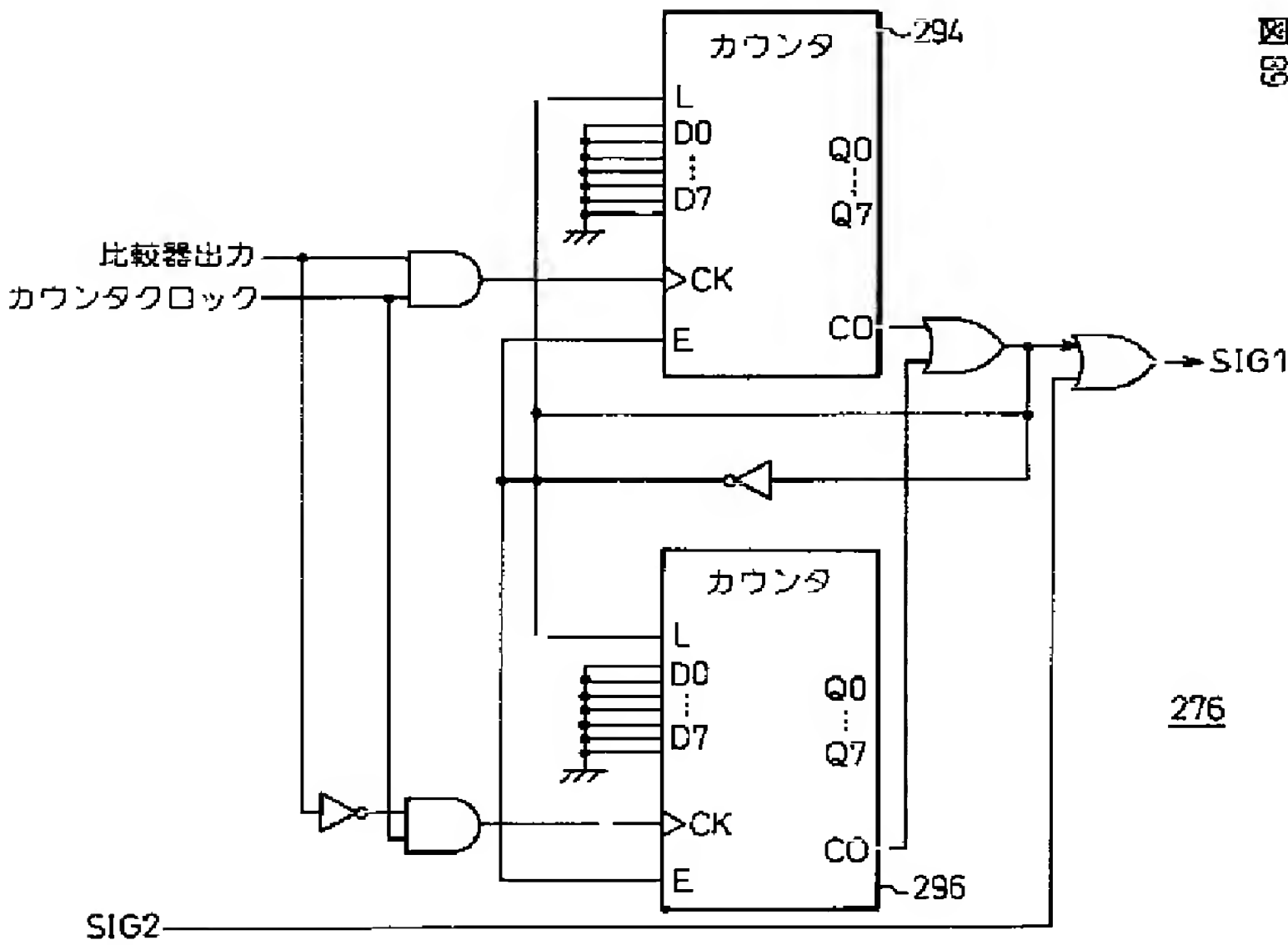
【図85】



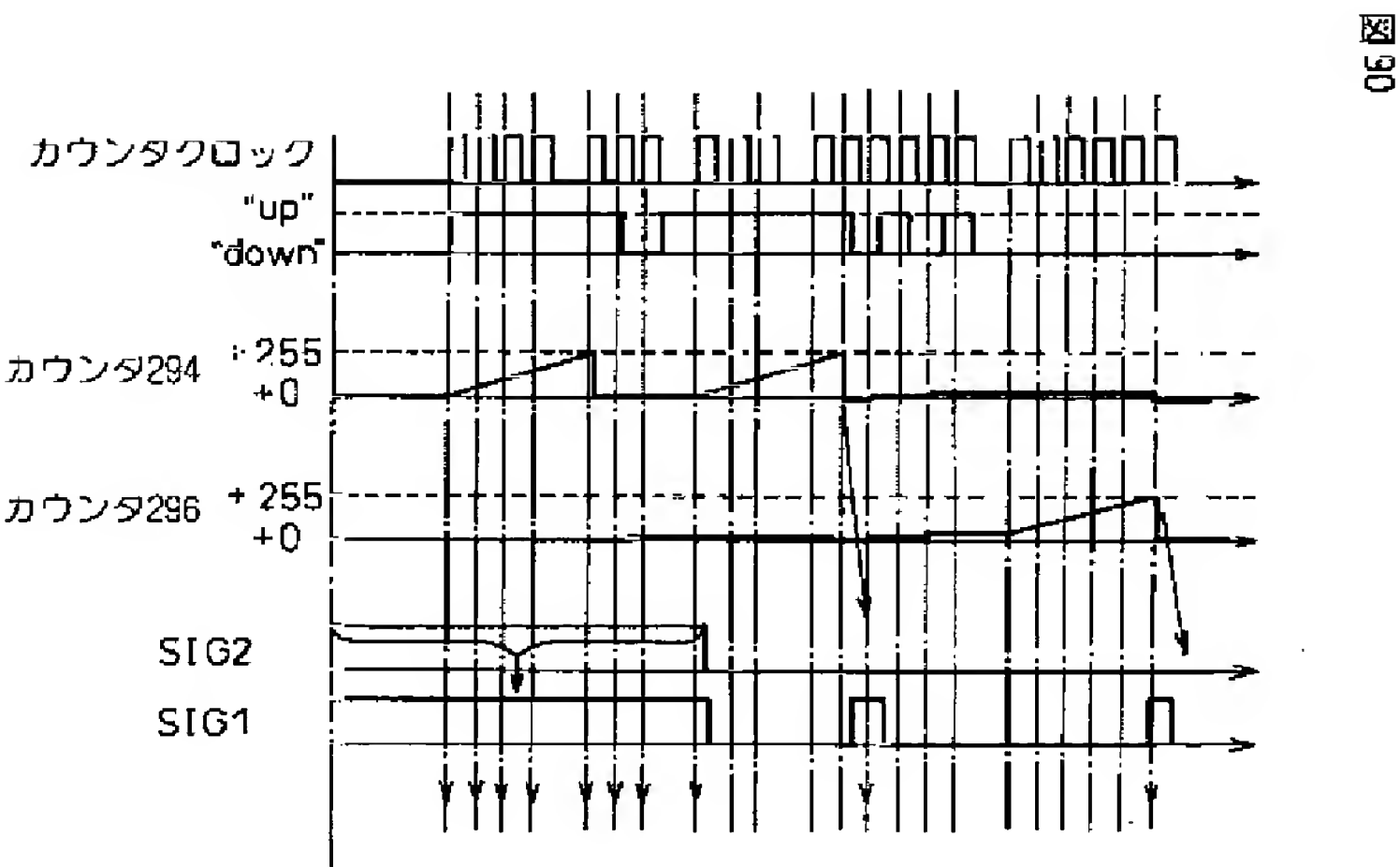
【図 87】



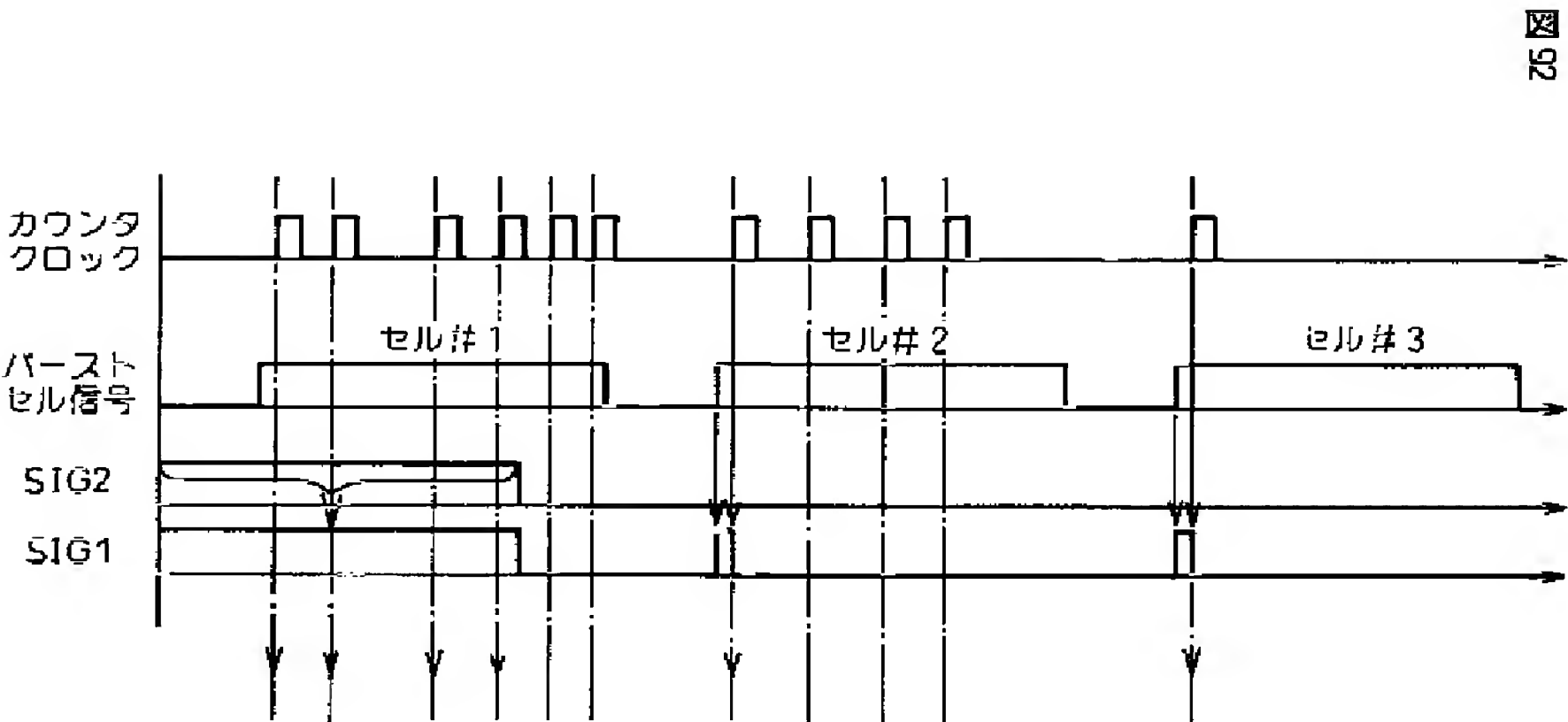
【図 89】



【図90】



【図92】



フロントページの続き

(72)発明者 六川 裕幸
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 河合 正昭
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 上野 典夫
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 村上 典生
北海道札幌市北区北七条西四丁目3番地1
富士通北海道デジタル・テクノロジー株
式会社内

(72)発明者 松山 哲
北海道札幌市北区北七条西四丁目3番地1
富士通北海道デジタル・テクノロジー株
式会社内
(72)発明者 三木 誠
北海道札幌市北区北七条西四丁目3番地1
富士通北海道デジタル・テクノロジー株
式会社内
(72)発明者 高氏 敏行
北海道札幌市北区北七条西四丁目3番地1
富士通北海道デジタル・テクノロジー株
式会社内